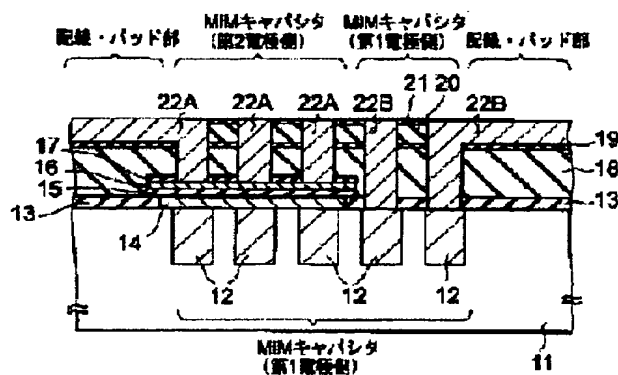


**JP2001237375 A**  
**MIM CAPACITOR**  
TOSHIBA CORP

**Inventor(s):** YOSHITOMI TAKASHI ; INOHARA MASAHIRO ; KIMIJIMA  
HIDEKI ; OGURO TATSUYA ; HASUMI RYOJI ; YAMAGUCHI TAKASHI  
**Application No.** 2000368693 JP2000368693 JP, **Filed** 20001204, **A1 Published**  
20010831 **Published** 20010831

**Abstract:** PROBLEM TO BE SOLVED: To reduce the leakage of a capacitor in a damascene process and Cu wirings.

**SOLUTION:** A first and second electrodes 12, 22A of an MIM capacitor are made of a metal material having a high diffusion coefficient, e.g. Cu, a first plate-like diffusion preventing film 14 having a function for preventing the metal material from diffusing is disposed between a capacitor insulation film 15 and the first electrode 12, a second plate-like diffusion preventing film 16 having a function for preventing the metal material from diffusing is disposed between the capacitor insulation film 15 and the second electrode 22A, and the first and second electrodes have other shapes than square, including e.g. grating, gridiron, and comb shapes.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-237375

(P2001-237375A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームト\* (参考)

H 0 1 L 27/04

H 0 1 L 27/04

C 5 F 0 3 8

21/822

審査請求 未請求 請求項の数32 O L (全 25 頁)

(21) 出願番号 特願2000-368693 (P2000-368693)

(22) 出願日 平成12年12月4日 (2000.12.4)

(31) 優先権主張番号 特願平11-354473

(32) 優先日 平成11年12月14日 (1999.12.14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉富 崇

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 猪原 正弘

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

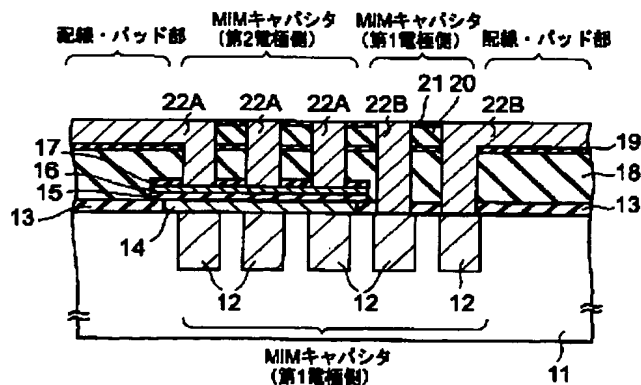
最終頁に続く

(54) 【発明の名称】 MIMキャパシタ

(57) 【要約】

【課題】 ダマシンプロセス+Cu配線でのキャパシタのリークを低減する。

【解決手段】 MIMキャパシタの第1電極12及び第2電極22Aは、大きな拡散係数を有する金属材料、例えば、Cuから構成される。キャパシタ絶縁膜15と第1電極12の間には、金属材料の拡散を防止する機能を有する板状の第1拡散防止膜14が配置され、キャパシタ絶縁膜15と第2電極22Aの間には、金属材料の拡散を防止する機能を有する板状の第2拡散防止膜16が配置される。第1及び第2電極は、例えば、四角以外の格子状、すのこ状、櫛状を含む形状を有している。



## 【特許請求の範囲】

【請求項 1】 金属材料から構成される第 1 及び第 2 電極と、キャパシタ絶縁膜と、前記キャパシタ絶縁膜と前記第 1 電極の間に配置され、前記金属材料を構成する原子の拡散を防止する第 1 拡散防止膜と、前記キャパシタ絶縁膜と前記第 2 電極の間に配置され、前記金属材料を構成する原子の拡散を防止する第 2 拡散防止膜とを具備することを特徴とする MIM キャパシタ。

【請求項 2】 前記第 1 及び第 2 電極の形状は、四角以外の格子状、すのこ状、櫛状を含む形状のうちの 1 つであることを特徴とする請求項 1 記載の MIM キャパシタ。

【請求項 3】 前記第 1 電極は、半導体基板内のトレンチ内に満たされ、かつ、その表面が平坦化され、前記第 2 電極は、前記半導体基板上の絶縁膜内のトレンチ内に満たされ、かつ、その表面が平坦化されていることを特徴とする請求項 1 記載の MIM キャパシタ。

【請求項 4】 前記第 1 及び第 2 拡散防止膜は、窒化金属膜であることを特徴とする請求項 1 記載の MIM キャパシタ。

【請求項 5】 前記第 1 及び第 2 拡散防止膜は、Ti、TiN、TiSiN、Ta、Ta<sub>2</sub>N、TaC、TaSiN、TaCeO<sub>2</sub>、Ir<sub>46</sub>Ta<sub>54</sub>、W、WN、W<sub>2</sub>N、W<sub>64</sub>B<sub>20</sub>N<sub>16</sub>、W<sub>23</sub>B<sub>49</sub>N<sub>28</sub> and W<sub>47</sub>Si<sub>9</sub>N<sub>44</sub> のグループのうちから選択される 1 つであることを特徴とする請求項 1 記載の MIM キャパシタ。

【請求項 6】 前記金属材料は、Cu であることを特徴とする請求項 1 記載の MIM キャパシタ。

【請求項 7】 請求項 1 記載の MIM キャパシタにおいて、さらに、前記第 1 電極上に開口を有する絶縁層を具備し、前記第 1 拡散防止膜は、前記絶縁層の開口に満たされ、前記キャパシタ絶縁膜及び前記第 2 拡散防止膜は、前記第 1 拡散防止膜上に形成されることを特徴とする MIM キャパシタ。

【請求項 8】 前記キャパシタ絶縁膜及び前記第 2 拡散防止膜の端部は、それぞれ、前記絶縁層にオーバーラップしていることを特徴とする請求項 7 記載の MIM キャパシタ。

【請求項 9】 請求項 8 記載の MIM キャパシタにおいて、さらに、前記第 2 拡散防止膜上に形成される窒化シリコン膜を具備することを特徴とする MIM キャパシタ。

【請求項 10】 前記第 1 拡散防止膜は、前記第 1 電極上に形成され、前記キャパシタ絶縁膜は、前記第 1 拡散防止膜上に形成され、前記第 2 拡散防止膜は、前記キャパシタ絶縁膜上に形成され、前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、窒化シリコン膜に覆わ

れていることを特徴とする請求項 1 記載の MIM キャパシタ。

【請求項 11】 請求項 1 記載の MIM キャパシタにおいて、さらに、前記第 1 電極上に開口を有する絶縁層を具備し、前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、それぞれ、前記絶縁層の開口内に形成されることを特徴とする MIM キャパシタ。

【請求項 12】 前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜の端部は、それぞれ、前記絶縁層にオーバーラップしていることを特徴とする請求項 11 記載の MIM キャパシタ。

【請求項 13】 請求項 12 記載の MIM キャパシタにおいて、さらに、前記第 2 拡散防止膜上に形成される窒化シリコン膜を具備することを特徴とする MIM キャパシタ。

【請求項 14】 請求項 1 記載の MIM キャパシタにおいて、さらに、前記第 1 電極上に開口を有する絶縁層を具備し、前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、それぞれ、前記絶縁層の開口内に形成され、かつ、前記絶縁層から離れていることを特徴とする MIM キャパシタ。

【請求項 15】 請求項 14 記載の MIM キャパシタにおいて、さらに、前記第 2 拡散防止膜上に形成される窒化シリコン膜を具備することを特徴とする MIM キャパシタ。

【請求項 16】 請求項 1 記載の MIM キャパシタにおいて、さらに、前記第 1 及び第 2 拡散防止膜の少なくとも 1 つを構成する材料と同じ材料から構成される抵抗素子を具備することを特徴とする MIM キャパシタ。

【請求項 17】 前記抵抗素子は、CMOS ロジックエリア内に形成されることを特徴とする請求項 16 記載の MIM キャパシタ。

【請求項 18】 前記第 1 電極は、半導体基板上の第 1 絶縁層内のトレンチ内に満たされ、前記第 2 電極は、前記第 1 絶縁層上の第 2 絶縁層内のトレンチ内に満たされ、前記第 1 及び第 2 絶縁層の表面は、平坦化されていることを特徴とする請求項 1 記載の MIM キャパシタ。

【請求項 19】 請求項 18 記載の MIM キャパシタにおいて、さらに、前記第 1 電極の直下に形成される MOS トランジスタを具備することを特徴とする MIM キャパシタ。

【請求項 20】 前記第 1 及び第 2 電極に与えられる信号の周波数と前記 MOS トランジスタに与えられる信号の周波数との差が 50 倍未満であることを特徴とする請求項 19 記載の MIM キャパシタ。

【請求項 21】 請求項 19 記載の MIM キャパシタにおいて、

さらに、前記第 1 電極と前記 MOS トランジスタとの間に形成され、一定電位に設定されているシールド線を具備することを特徴とする MIM キャパシタ。

【請求項 22】 前記一定電位は、接地電位であることを特徴とする請求項 21 記載の MIM キャパシタ。

【請求項 23】 前記第 1 及び第 2 電極に与えられる信号の周波数と前記 MOS トランジスタに与えられる信号の周波数との差が 50 倍以上であることを特徴とする請求項 21 記載の MIM キャパシタ。

【請求項 24】 金属材料から構成される第 1 及び第 2 電極と、前記第 1 及び第 2 電極の間に配置され、前記金属材料の拡散を防止する機能を有するキャパシタ絶縁膜とを具備することを特徴とする MIM キャパシタ。

【請求項 25】 前記第 2 電極は、層間絶縁膜に設けられたトレンチ内に配置され、かつ、前記キャパシタ絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有することを特徴とする請求項 24 記載の MIM キャパシタ。

【請求項 26】 前記第 1 電極は、半導体基板内のトレンチ内に満たされ、かつ、その表面が平坦化され、前記第 2 電極は、層間絶縁膜内のトレンチ内に満たされ、かつ、その表面が平坦化されていることを特徴とする請求項 24 記載の MIM キャパシタ。

【請求項 27】 前記金属材料は、Cu であることを特徴とする請求項 24 記載の MIM キャパシタ。

【請求項 28】 ダマシンプロセスにより金属材料からなる第 1 電極を形成し、

前記第 1 電極上に前記金属材料の拡散を防止する機能を有する第 1 絶縁膜を形成し、

前記第 1 絶縁膜の一部を除去し、この部分をキャパシタ形成予定領域とし、

前記キャパシタ形成予定領域内に前記金属材料の拡散を防止する機能を有する第 1 拡散防止膜を形成し、

前記第 1 拡散防止膜上に、キャパシタ絶縁膜、前記金属材料の拡散を防止する機能を有する第 2 拡散防止膜、及び、前記第 1 絶縁膜と同じ機能を有する第 2 絶縁膜をそれぞれ形成し、

前記第 1 及び第 2 絶縁膜上に層間絶縁膜を形成し、

前記ダマシンプロセスを用いて、前記層間絶縁膜並びに前記第 1 及び第 2 絶縁膜に、前記第 1 電極及び前記第 2 拡散防止膜に達するトレンチを形成し、

前記トレンチ内に前記金属材料を満たし、前記第 1 電極に接続する配線及び前記第 2 拡散防止膜に接続する第 2 電極をそれぞれ形成することを特徴とする MIM キャパシタの製造方法。

【請求項 29】 前記第 1 拡散防止膜は、窒化金属膜をスパッタした後、前記窒化金属膜を CMP により研磨することにより形成され、前記キャパシタ絶縁膜、前記第

2 拡散防止膜及び前記第 2 絶縁膜は、PEP と RIE により、それぞれ連続して加工されることを特徴とする請求項 28 記載の MIM キャパシタの製造方法。

【請求項 30】 前記第 1 拡散防止膜、前記キャパシタ絶縁膜、前記第 2 拡散防止膜及び前記第 2 絶縁膜は、PEP と RIE により、それぞれ連続して加工され、その端部は、前記第 1 絶縁膜にオーバーラップしていることを特徴とする請求項 28 記載の MIM キャパシタの製造方法。

【請求項 31】 前記第 1 拡散防止膜、前記キャパシタ絶縁膜、前記第 2 拡散防止膜及び前記第 2 絶縁膜は、PEP と RIE により、それぞれ連続して加工され、その端部は、前記キャパシタ形成予定領域内に収まっていることを特徴とする請求項 28 記載の MIM キャパシタの製造方法。

【請求項 32】 ダマシンプロセスにより金属材料からなる第 1 電極を形成し、

キャパシタ形成予定領域内の前記第 1 電極上に、前記金属材料の拡散を防止する機能を有する第 1 拡散防止膜、キャパシタ絶縁膜、及び、前記金属材料の拡散を防止する機能を有する第 2 拡散防止膜をそれぞれ形成し、

前記第 2 拡散防止膜上及び前記第 1 電極上に、前記金属材料の拡散を防止する機能を有する拡散防止絶縁膜を形成し、

前記拡散防止絶縁膜上に層間絶縁膜を形成し、

前記ダマシンプロセスを用いて、前記層間絶縁膜及び前記拡散防止絶縁膜に、前記第 1 電極及び前記第 2 拡散防止膜に達するトレンチを形成し、

前記トレンチ内に前記金属材料を満たし、前記第 1 電極に接続する配線及び前記第 2 拡散防止膜に接続する第 2 電極をそれぞれ形成することを特徴とする MIM キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIM (Metal-Insulator-Metal) キャパシタに関する。

【0002】

【従来の技術】近年、例えば、RF アナログデバイスと CMOS ロジックデバイスをワンチップ内に形成することが検討されている。RF アナログデバイスは、抵抗、コイル、キャパシタなどを含み、CMOS ロジックデバイスは、MOS トランジスタから構成される。

【0003】一方、RF アナログデバイスと CMOS ロジックデバイスをワンチップ化するためには、両デバイスの製造プロセスの統合を図る必要がある。例えば、CMOS ロジックプロセスをベースにし、これに RF アナログデバイスのプロセスを統合して、新規な RF-CMOS プロセスを開発する。

【0004】プロセスの統合を図るに当たって、最初に問題となるのは、MIM キャパシタの構造及びプロセス

である。例えば、MOSトランジスタのゲート長が $0.1\mu\text{m}$ 以下になると、配線抵抗の低減などのため、配線材料として、Cu（銅）を使用することが検討されている。

【0005】しかし、Cuは、大きな拡散係数を有する。従って、Cuを電極とするMIMキャパシタを形成する場合、Cuがキャパシタ絶縁膜中に拡散し、リーク電流が増大するという問題がある。

【0006】また、配線材料にCuを使用する場合、Cu配線は、加工精度や平坦化などの理由から、いわゆるダマシンプロセス（Damascene process）により形成される。この時、MIMキャパシタの電極も、当然に、ダマシンプロセスにより形成されるため、ダマシンプロセスに起因する問題、例えば、ディッシング（dishing）の問題や、ディッシングを回避する場合の電極面積の縮小の問題が生じる。

【0007】

【発明が解決しようとする課題】本発明は、上記欠点を解決すべくなされたもので、その目的は、MIMキャパシタの電極がCuなどの大きな拡散係数を有する材料から構成される場合にも十分にリーク電流を防止すること、及び、ダマシンプロセス（CMPプロセス）を採用してもディッシングや電極面積の縮小などが生じない製造プロセスを提供することにある。

【0008】

【課題を解決するための手段】本発明のMIMキャパシタは、金属材料から構成される第1及び第2電極と、キャパシタ絶縁膜と、前記キャパシタ絶縁膜と前記第1電極の間に配置され、前記金属材料を構成する原子の拡散を防止する第1拡散防止膜と、前記キャパシタ絶縁膜と前記第2電極の間に配置され、前記金属材料を構成する原子の拡散を防止する第2拡散防止膜とを備える。

【0009】前記第1及び第2電極の形状は、四角以外の格子状、すのこ状、櫛状を含む形状のうちの1つである。

【0010】前記第1電極は、半導体基板内のトレンチ内に満たされ、かつ、その表面が平坦化され、前記第2電極は、前記半導体基板上の絶縁膜内のトレンチ内に満たされ、かつ、その表面が平坦化されている。

【0011】前記第1及び第2拡散防止膜は、窒化金属膜である。前記第1及び第2拡散防止膜は、Ti、TiN、TiSiN、Ta、Ta<sub>2</sub>N、TaC、TaSiN、TaCeO<sub>2</sub>、Ir<sub>46</sub>Ta<sub>54</sub>、W、WN、W<sub>2</sub>N、W<sub>64</sub>B<sub>20</sub>N<sub>16</sub>、W<sub>23</sub>B<sub>49</sub>N<sub>28</sub> and W<sub>47</sub>Si<sub>9</sub>N<sub>44</sub>のグループのうちから選択される1つである。

【0012】前記金属材料は、Cuである。

【0013】本発明のMIMキャパシタは、さらに、前記第1電極上に開口を有する絶縁層を備え、前記第1拡散防止膜は、前記絶縁層の開口に満たされ、前記キャパ

シタ絶縁膜及び前記第2拡散防止膜は、前記第1拡散防止膜上に形成される。前記キャパシタ絶縁膜及び前記第2拡散防止膜の端部は、それぞれ、前記絶縁層にオーバーラップしている。

【0014】本発明のMIMキャパシタは、さらに、前記第2拡散防止膜上に形成される窒化シリコン膜を備える。

【0015】前記第1拡散防止膜は、前記第1電極上に形成され、前記キャパシタ絶縁膜は、前記第1拡散防止膜上に形成され、前記第2拡散防止膜は、前記キャパシタ絶縁膜上に形成され、前記第1及び第2拡散防止膜及び前記キャパシタ絶縁膜は、窒化シリコン膜に覆われている。

【0016】本発明のMIMキャパシタは、さらに、前記第1電極上に開口を有する絶縁層を備え、前記第1及び第2拡散防止膜及び前記キャパシタ絶縁膜は、それぞれ、前記絶縁層の開口内に形成される。前記第1及び第2拡散防止膜及び前記キャパシタ絶縁膜の端部は、それぞれ、前記絶縁層にオーバーラップしている。

【0017】本発明のMIMキャパシタは、さらに、前記第1電極上に開口を有する絶縁層を備え、前記第1及び第2拡散防止膜及び前記キャパシタ絶縁膜は、それぞれ、前記絶縁層の開口内に形成され、かつ、前記絶縁層から離れている。

【0018】本発明のMIMキャパシタは、さらに、前記第1及び第2拡散防止膜の少なくとも1つを構成する材料と同じ材料から構成される抵抗素子を備える。前記抵抗素子は、CMOSロジックエリア内に形成される。

【0019】前記第1電極は、半導体基板上の第1絶縁層内のトレンチ内に満たされ、前記第2電極は、前記第1絶縁層上の第2絶縁層内のトレンチ内に満たされ、前記第1及び第2絶縁層の表面は、平坦化されている。

【0020】本発明のMIMキャパシタは、さらに、前記第1電極の直下に形成されるMOSトランジスタを備える。前記第1及び第2電極に与えられる信号の周波数と前記MOSトランジスタに与えられる信号の周波数との差が50倍未満である。

【0021】本発明のMIMキャパシタは、さらに、前記第1電極と前記MOSトランジスタとの間に形成され、一定電位に設定されているシールド線を備える。前記一定電位は、接地電位である。

【0022】前記第1及び第2電極に与えられる信号の周波数と前記MOSトランジスタに与えられる信号の周波数との差が50倍以上である。

【0023】本発明のMIMキャパシタは、金属材料から構成される第1及び第2電極と、前記第1及び第2電極の間に配置され、前記金属材料の拡散を防止する機能を有するキャパシタ絶縁膜とを備える。

【0024】前記第2電極は、層間絶縁膜に設けられたトレンチ内に配置され、かつ、前記キャパシタ絶縁膜

は、前記層間絶縁膜に対してエッチング選択比を有する。前記第1電極は、半導体基板内のトレンチ内に満たされ、かつ、その表面が平坦化され、前記第2電極は、層間絶縁膜内のトレンチ内に満たされ、かつ、その表面が平坦化されている。

【0025】前記金属材料は、Cuである。

【0026】本発明のMIMキャパシタの製造方法は、ダマシンプロセスにより金属材料からなる第1電極を形成し、前記第1電極上に前記金属材料の拡散を防止する機能を有する第1絶縁膜を形成し、前記第1絶縁膜の一部を除去し、この部分をキャパシタ形成予定領域とし、前記キャパシタ形成予定領域内に前記金属材料の拡散を防止する機能を有する第1拡散防止膜を形成し、前記第1拡散防止膜上に、キャパシタ絶縁膜、前記金属材料の拡散を防止する機能を有する第2拡散防止膜、及び、前記第1絶縁膜と同じ機能を有する第2絶縁膜をそれぞれ形成し、前記第1及び第2絶縁膜上に層間絶縁膜を形成し、前記ダマシンプロセスを用いて、前記層間絶縁膜並びに前記第1及び第2絶縁膜に、前記第1電極及び前記前記第2拡散防止膜に達するトレンチを形成し、前記トレンチ内に前記金属材料を満たし、前記第1電極に接続する配線及び前記第2拡散防止膜に接続する第2電極をそれぞれ形成する、という一連のステップから構成される。

【0027】前記第1拡散防止膜は、窒化金属膜をスパッタした後、前記窒化金属膜をCMPにより研磨することにより形成され、前記キャパシタ絶縁膜、前記第2拡散防止膜及び前記第2絶縁膜は、PEPとRIEにより、それぞれ連続して加工される。

【0028】前記第1拡散防止膜、前記キャパシタ絶縁膜、前記第2拡散防止膜及び前記第2絶縁膜は、PEPとRIEにより、それぞれ連続して加工され、その端部は、前記第1絶縁膜にオーバーラップしている。

【0029】前記第1拡散防止膜、前記キャパシタ絶縁膜、前記第2拡散防止膜及び前記第2絶縁膜は、PEPとRIEにより、それぞれ連続して加工され、その端部は、前記キャパシタ形成予定領域内に収まっている。

【0030】本発明のMIMキャパシタの製造方法は、ダマシンプロセスにより金属材料からなる第1電極を形成し、キャパシタ形成予定領域内の前記第1電極上に、前記金属材料の拡散を防止する機能を有する第1拡散防止膜、キャパシタ絶縁膜、及び、前記金属材料の拡散を防止する機能を有する第2拡散防止膜をそれぞれ形成し、前記第2拡散防止膜上及び前記第1電極上に、前記金属材料の拡散を防止する機能を有する拡散防止絶縁膜を形成し、前記拡散防止絶縁膜上に層間絶縁膜を形成し、前記ダマシンプロセスを用いて、前記層間絶縁膜及び前記拡散防止絶縁膜に、前記第1電極及び前記前記第2拡散防止膜に達するトレンチを形成し、前記トレンチ内に前記金属材料を満たし、前記第1電極に接続する配

線及び前記第2拡散防止膜に接続する第2電極をそれぞれ形成する、という一連のステップから構成される。

【0031】

【発明の実施の形態】以下、図面を参照しながら、本発明のMIMキャパシタについて詳細に説明する。

【0032】図1は、本発明の第1実施の形態に関わるMIMキャパシタの平面図を示している。図2は、図1のI-I線に沿う断面図である。

【0033】半導体基板（例えば、シリコン基板）11内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料12、例えば、Cu（銅）が満たされる。半導体基板11内のトレンチ内に満たされた金属材料12は、MIMキャパシタの第1電極となる。

【0034】本例では、MIMキャパシタの第1電極のレイアウトを格子状としているが、これは、ダマシンプロセス（CMPプロセス）においてディッシング現象（トレンチ内の金属材料が皿状に研磨される現象）を防止するためである。よって、ディッシング現象を防止できる構造であれば、トレンチの形状は、格子状に限られず、例えば、すのこ状（又は梯子状）、櫛状などであってもよい。

【0035】半導体基板11上には、MIMキャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN）13が形成される。MIMキャパシタのキャパシタ形成予定領域は、窒化シリコン膜13の壁に取り囲まれた溝となっている。そして、キャパシタ形成予定領域内には、窒化タングステン膜（WN）14が形成される。窒化タングステン膜14は、金属材料（例えば、Cu）12の拡散防止膜として機能すると共に、格子状の第1電極上に配置されることによりキャパシタ面積を増加させる機能を有する。

【0036】窒化タングステン膜14上には、キャパシタ絶縁膜（例えば、Ta<sub>2</sub>O<sub>5</sub>）15が形成される。

【0037】キャパシタ絶縁膜15上には、窒化タングステン膜（WN）16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0038】窒化タングステン膜16上には、窒化シリコン膜（SiN）17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時（即ち、トレンチ形成時）のストップとして機能する（詳細については、製造方法の説明で述べる。）。

【0039】窒化シリコン膜13、17上には、酸化シリコン膜（SiO<sub>2</sub>）18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストップとして機能する。窒化シリコン

膜19上には、酸化シリコン膜(SiO<sub>2</sub>)20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP (Chemical Mechanical Polishing) プロセスにおけるストップとして機能する。

【0040】酸化シリコン膜20内(窒化シリコン膜19よりも上の部分)には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜18及び窒化シリコン膜13には、窒化タングステン膜16や金属材料(例えばCu)12まで達するトレンチ(ビアホール(via hole))が形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A、22B、例えば、Cu(銅)が満たされる。トレンチ内に満たされた金属材料22Aは、MIMキャパシタの第2電極となる。

【0041】本例では、MIMキャパシタの第2電極のレイアウトを格子状としているが、これは、ダマシンプロセス(CMPプロセス)におけるディッシング現象を防止するためである。よって、ディッシング現象を防止できる構造であれば、トレンチの形状は、格子状に限られず、例えば、すのこ状(又は梯子状)、櫛状などであってもよい。

【0042】以上のようなデバイス構造によれば、まず、MIMキャパシタの第1及び第2電極がそれぞれ格子状、すのこ状、櫛状などのディッシング現象が発生し難い形状となっている。

【0043】また、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料(例えば、Cu)から構成される場合に、第1電極に接触する板状の拡散防止膜(例えば、窒化タングステン膜14)と第2電極に接触する板状の拡散防止膜(例えば、窒化タングステン膜16)を設けている。これら拡散防止膜は、MIMキャパシタのキャパシタ面積を増加させる機能も有する。

【0044】そして、キャパシタ絶縁膜(例えば、Ta<sub>2</sub>O<sub>5</sub>)15は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料(例えば、Cu)に直接接触することがない。

【0045】従って、MIMキャパシタの電極を構成す

る大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0046】次に、図1及び図2のMIMキャパシタの製造方法について説明する。

【0047】まず、図3及び図4に示すように、ダマシンプロセスにより、半導体基板11内にMIMキャパシタの第1電極を形成する。

【0048】例えば、PEP(Photo Engraving Process)及びRIE(Reactive Ion Etching)を用いて、半導体基板11内に格子状トレンチを形成する。また、CVD(Cheical Vapour Deposition)法を用いて、格子状トレンチを完全に満たす金属材料(例えば、Cu)12を形成する。この後、CMP(Chemical Mechanical Polishing)法を用いて、金属材料12を研磨し、この金属材料12を格子状トレンチ内のみに残存させれば、MIMキャパシタの第1電極が完成する。

【0049】なお、トレンチ(第1電極)の形状としては、格子状の他、例えば、図5に示すようなすのこ状、図6及び図7に示すような櫛状などであってもよい。

【0050】この後、CVD法を用いて、半導体基板11上に、MIMキャパシタの第1電極を覆う窒化シリコン膜(拡散防止絶縁膜)13を形成する。

【0051】次に、図8及び図9に示すように、PEP及びRIEを用いて、キャパシタ形成予定領域内に存在する窒化シリコン膜13を除去する。また、スパッタ法を用いて、拡散防止膜としての窒化タングステン膜(WN)14を、窒化シリコン膜13上及びキャパシタ形成予定領域上に形成する。この後、CMP法を用いて、窒化タングステン膜14を研磨し、キャパシタ形成予定領域のみに窒化タングステン膜14を残存させる。

【0052】なお、本例では、拡散防止膜(バリアメタル)として、窒化タングステン膜を使用しているが、金属原子の拡散防止機能を有する膜であれば、窒化タングステン膜以外の膜であってもよい。拡散防止機能を有する導電膜としては、例えば、表1に示すような材料が知られている。

【0053】

【表1】

|   | 耐拡散温度(℃) | 膜厚 (nm) | 結晶構造   |
|---|----------|---------|--------|
| Ti  | 450      | 220     | 多結晶    |
| TiN   | 600      | 50      | 多結晶    |
| TiSiN   | 600      | 30      | アモルファス |
| Ta  | 500      | 50      | 多結晶    |
| TaN   | 700      | 8       | 多結晶    |
| TaC   | 600      | 5       | アモルファス |
| TaSiN   | 900      | 120     | アモルファス |
| TaCeO <sub>2</sub>                              | 850      | 10      | 多結晶    |
| Ir <sub>46</sub> Ta <sub>54</sub>               | 700      | 30      | アモルファス |
| W   | 450      | 100     | 多結晶    |
| WN  | 700      | 120     | 多結晶    |
| W <sub>2</sub> N                                | 600      | 8       | アモルファス |
| W <sub>84</sub> B <sub>20</sub> N <sub>16</sub> | 800      | 100     | 多結晶    |
| W <sub>23</sub> B <sub>49</sub> N <sub>28</sub> | 700      | 100     | アモルファス |
| W <sub>47</sub> Si <sub>9</sub> N <sub>44</sub> | 700      | 100     | アモルファス |

【0054】次に、図10に示すように、スパッタ法を用いて、窒化シリコン膜13上及び窒化タングステン膜14上に、キャパシタ絶縁膜（例えば、Ta<sub>2</sub>O<sub>5</sub>）15を形成する。続けて、スパッタ法を用いて、キャパシタ絶縁膜15上に、拡散防止膜（バリアメタル）としての窒化タングステン膜16を形成する。拡散防止膜としては、窒化タングステン膜の他、上記表1に示すような導電膜を用いることができる。

【0055】また、CVD法を用いて、窒化タングステン膜16上に、窒化シリコン膜（拡散防止絶縁膜）17を形成する。この後、PEP及びRIEを用いて、窒化シリコン膜17、窒化タングステン膜16及びキャパシタ絶縁膜15を順次エッチングする。このエッチングは、少なくともキャパシタ形成予定領域内の窒化タングステン膜14上に、キャパシタ絶縁膜15、窒化タングステン膜16及び窒化シリコン膜17が残存するようにして行われる。

【0056】次に、図11及び図12に示すように、CVD法を用いて、窒化シリコン膜13、17上に、酸化シリコン膜（層間絶縁膜）18を形成する。続けて、CVD法を用いて、酸化シリコン膜18上に、エッチングストップとしての窒化シリコン膜19を形成する。また、CVD法を用いて、窒化シリコン膜19上に、酸化シリコン膜（配線間絶縁膜）20を形成する。続けて、CVD法を用いて、酸化シリコン膜20上に、CMPのストップとしての窒化シリコン膜21を形成する。

【0057】この後、デュアルダマシンプロセスにより、MIMキャパシタの第2電極を形成する。

【0058】例えば、まず、PEP及びRIEを用いて、窒化シリコン膜21及び酸化シリコン膜20に、配線溝としてのトレンチを形成する。酸化シリコン膜20のエッチング時、窒化シリコン膜19は、RIEのエッチングストップとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、格子状のレイアウトを有する。

【0059】さらに、続けて、PEP及びRIEを用いて、窒化シリコン膜19及び酸化シリコン膜18に、ヴ

ィアホール（via hole）としてのトレンチを形成する。酸化シリコン膜18のエッチング時、窒化シリコン膜13、17は、RIEのエッチングストップとして機能する。

【0060】なお、キャパシタ電極部におけるトレンチの形状は、格子状に限られず、例えば、図13に示すように、すのこ状であってもよく、また、図14及び図15に示すように、櫛状であってもよい。

【0061】また、トレンチ底部の窒化シリコン膜13、17をエッチングし、金属材料12の一部及び窒化タングステン膜16の一部を剥き出しにする。

【0062】この後、メッキ法により、トレンチを完全に満たす金属材料（例えば、Cu）22A、22Bを形成する。なお、金属材料22A、22Bを形成する前に、トレンチ内面に、Ta<sub>2</sub>Nなどのバリアメタルを形成しておいてもよい。

【0063】そして、CMP法を用いて、金属材料22A、22Bを研磨し、金属材料22A、22Bをトレンチ内に残存させる。この時、窒化シリコン膜21は、CMPのストップとして機能する。

【0064】以上の工程により、図1及び図2のMIMキャパシタが完成する。

【0065】このような製造方法によれば、ダマシンプロセス（CMPプロセス）を採用し、かつ、Cu（銅）のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、第一に、金属材料（キャパシタ電極）の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、第二に、キャパシタ絶縁膜を拡散防止膜により直接挟み込むことで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。第三に、拡散防止膜を、キャパシタ電極として機能させることにより、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくなることのない（配線ルールによらず、キャパシタ容量を大きくできる）。第四に、キャパシタのパターニング時に、金属材料（例えば、Cu）が露出することのないので、金属原子による汚染をなくすることができる。第五



に、キャパシタ構造が平坦であり、高信頼性、高性能を達成できる。

【0066】図16は、本発明の第2実施の形態に関わるMIMキャパシタの断面図を示している。

【0067】本例のデバイス構造は、図1及び図2の例と比べると、図1及び図2の窒化シリコン膜13を省略した点に特徴を有する。つまり、本例では、窒化シリコン膜17は、窒化タングステン膜16上の他、半導体基板11上及び金属材料12上にも形成される。

【0068】以下、具体的な構造について説明する。

【0069】半導体基板（例えば、シリコン基板）11内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料12、例えば、Cu（銅）が満たされる。半導体基板11内のトレンチ内に満たされた金属材料12は、MIMキャパシタの第1電極となる。

【0070】なお、MIMキャパシタの第1電極の形状は、格子状、すのこ状（又は梯子状）、櫛状などに設定される。

【0071】MIMキャパシタのキャパシタ形成予定領域には、窒化タングステン膜（WN）14が形成される。窒化タングステン膜14は、金属材料（例えば、Cu）12の拡散防止膜として機能すると共に、格子状の第1電極上に配置されることによりキャパシタ面積を増加させる機能を有する。窒化タングステン膜14上には、キャパシタ絶縁膜（例えば、 $Ta_2O_5$ ）15が形成される。

【0072】キャパシタ絶縁膜15上には、窒化タングステン膜（WN）16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0073】半導体基板11上、金属材料12上及び窒化タングステン膜16上には、窒化シリコン膜（SiN）17が形成される。窒化シリコン膜17は、エッチング時（即ち、トレンチ形成時）のストッパとして機能する（詳細については、製造方法の説明で述べる。）。

【0074】窒化シリコン膜17上には、酸化シリコン膜（ $SiO_2$ ）18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜19上には、酸化シリコン膜（ $SiO_2$ ）20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP（Chemical Mechanical Polishing）プロセスにおけるストッパとして機能する。

【0075】酸化シリコン膜20内（窒化シリコン膜19よりも上の部分）には、例えば、格子状トレンチや、

配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜18及び窒化シリコン膜17には、窒化タングステン膜16や金属材料（例えばCu）12まで達するヴィアホール（via hole）としてのトレンチが形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A、22B、例えば、Cu（銅）が満たされる。トレンチ内に満たされた金属材料22Aは、MIMキャパシタの第2電極となる。

【0076】なお、MIMキャパシタの第2電極の形状は、格子状、すのこ状（又は梯子状）、櫛状などに設定される。

【0077】以上のようなデバイス構造によれば、まず、MIMキャパシタの第1及び第2電極がそれぞれ格子状、すのこ状、櫛状などのディッシング現象が発生し難い形状となっている。

【0078】また、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料（例えば、Cu）から構成される場合に、第1電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜14）と第2電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜16）を設けている。これら拡散防止膜は、MIMキャパシタのキャパシタ面積を増加させる機能も有する。

【0079】そして、キャパシタ絶縁膜（例えば、 $Ta_2O_5$ ）15は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料（例えば、Cu）に直接接触することがない。

【0080】従って、MIMキャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0081】また、本例では、酸化シリコン膜18にトレンチ（ヴィアホール）を形成するときのエッチングストッパとして、窒化シリコン膜17のみを用い、図1及び図2のデバイスに示されるような窒化シリコン膜13を省略している。このため、本例では、図1及び図2の例に比べて、① 窒化シリコン膜13を加工する工程、及び、② 窒化タングステン膜14を窒化シリコン膜13の溝に埋め込む工程（CMP）を省略でき、PEP数の削減、コストの低下などを図ることができる。

【0082】次に、図16のMIMキャパシタの製造方法について説明する。

【0083】まず、図17に示すように、ダマシンプロセスにより、半導体基板11内にMIMキャパシタの第1電極を形成する。

【0084】例えば、PEP及びRIEを用いて、半導体基板11内に格子状のトレンチを形成する。また、CVD法を用いて、格子状のトレンチを完全に満たす金属材料（例えば、Cu）12を形成する。この後、CMP法を用いて、金属材料12を研磨し、この金属材料12

を格子状のトレンチ内のみに残存させれば、MIMキャパシタの第1電極が完成する。

【0085】なお、トレンチ（第1電極）の形状としては、図3に示すような格子状の他、例えば、すのこ状（図5）、櫛状（図6及び図7）などであってもよい。

【0086】また、スパッタ法を用いて、拡散防止膜としての窒化タングステン膜（WN）14を、半導体基板11上及び金属材料12上に形成する。なお、本例では、拡散防止膜（バリアメタル）として、窒化タングステン膜を使用しているが、金属原子の拡散防止機能を有する膜であれば、窒化タングステン膜以外の膜であってもよい（表1参照）。

【0087】また、スパッタ法を用いて、窒化タングステン膜14上に、キャパシタ絶縁膜（例えば、 $Ta_2O_5$ ）15を形成する。続けて、スパッタ法を用いて、キャパシタ絶縁膜15上に、拡散防止膜（バリアメタル）としての窒化タングステン膜16を形成する。

【0088】次に、図18に示すように、PEP及びRIEを用いて、窒化タングステン膜16、キャパシタ絶縁膜15及び窒化タングステン膜14を順次エッチングする。そして、キャパシタ形成予定領域のみに、窒化タングステン膜14、キャパシタ絶縁膜15及び窒化タングステン膜16を残存させる。

【0089】次に、図19に示すように、CVD法を用いて、半導体基板11上、金属材料12上及び窒化タングステン膜16上に、窒化シリコン膜（拡散防止絶縁膜）17を形成する。窒化シリコン膜17は、後述するビアホールとしてのトレンチ形成時のストップとして機能する。

【0090】次に、図20に示すように、CVD法を用いて、窒化シリコン膜17上に、酸化シリコン膜（層間絶縁膜）18を形成する。続けて、CVD法を用いて、酸化シリコン膜18上に、エッチングストップとしての窒化シリコン膜19を形成する。また、CVD法を用いて、窒化シリコン膜19上に、酸化シリコン膜（配線間絶縁膜）20を形成する。続けて、CVD法を用いて、酸化シリコン膜20上に、CMPのストップとしての窒化シリコン膜21を形成する。

【0091】この後、デュアルダマシンプロセスにより、MIMキャパシタの第2電極を形成する。

【0092】例えば、まず、PEP及びRIEを用いて、窒化シリコン膜21及び酸化シリコン膜20に、配線溝としてのトレンチを形成する。酸化シリコン膜20のエッチング時、窒化シリコン膜19は、RIEのエッチングストップとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、格子状のレイアウトを有する。

【0093】さらに、続けて、PEP及びRIEを用いて、窒化シリコン膜19及び酸化シリコン膜18に、ビアホール（via hole）としてのトレンチを形成する。

酸化シリコン膜18のエッチング時、窒化シリコン膜17は、RIEのエッチングストップとして機能する。

【0094】なお、キャパシタ電極部におけるトレンチの形状は、格子状に限られず、例えば、図13に示すように、すのこ状であってもよく、また、図14及び図15に示すように、櫛状であってもよい。

【0095】また、トレンチ底部の窒化シリコン膜17をエッチングし、金属材料12の一部及び窒化タングステン膜16の一部を剥き出しにする。

【0096】この後、メッキ法により、トレンチを完全に満たす金属材料（例えば、Cu）22A、22Bを形成する。なお、金属材料22A、22Bを形成する前に、トレンチ内面に、Ta<sub>2</sub>Nなどのバリアメタルを形成しておいてもよい。

【0097】そして、CMP法を用いて、金属材料22A、22Bを研磨し、金属材料22A、22Bをトレンチ内のみに残存させる。この時、窒化シリコン膜21は、CMPのストップとして機能する。

【0098】以上の工程により、図16のMIMキャパシタが完成する。

【0099】このような製造方法によれば、ダマシンプロセス（CMPプロセス）を採用し、かつ、Cu（銅）のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、第一に、金属材料（キャパシタ電極）の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、第二に、キャパシタ絶縁膜を直接挟み込む拡散防止膜を設けることで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。第三に、拡散防止膜を、キャパシタ電極として機能させることにより、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくなることのない（配線ルールによらず、キャパシタ容量を大きくできる）。第四に、ビアホールとしてのトレンチを形成するときのストップとして1つの窒化シリコン膜のみを使用しているため、工程数（PEP数）が減り、コストの低減に貢献できる。

【0100】図21は、本発明の第3実施の形態に関わるMIMキャパシタの断面図を示している。

【0101】本例のデバイス構造は、図1及び図2の例と比べると、拡散防止膜としての窒化タングステン膜14のレイアウトに特徴がある。即ち、本例では、拡散防止膜としての窒化タングステン膜14のエッチングを、窒化シリコン膜17、窒化タングステン膜16及びキャパシタ絶縁膜15のエッチングに続けて行っている。また、本例のデバイス構造では、窒化タングステン膜14、16及びキャパシタ絶縁膜15の端部が窒化シリコン膜13にオーバーラップするようなレイアウトを有している。

【0102】従って、本例では、図1及び図2の例に示す窒化シリコン膜13の溝内に窒化タングステン膜14

を満たす工程 (CMP) が不要となる。

【0103】以下、具体的なデバイス構造について説明する。

【0104】半導体基板 (例えば、シリコン基板) 11 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 12、例えば、Cu (銅) が満たされる。半導体基板 11 内のトレンチ内に満たされた金属材料 12 は、MIM キャパシタの第 1 電極となる。

【0105】MIM キャパシタの第 1 電極の形状としては、例えば、格子状、すのこ状 (又は梯子状)、櫛状などに設定される。

【0106】半導体基板 11 上には、MIM キャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜 (SiN) 13 が形成される。MIM キャパシタのキャパシタ形成予定領域は、窒化シリコン膜 13 の壁に取り囲まれた溝となっている。キャパシタ形成予定領域には、窒化タングステン膜 (WN) 14 が形成される。窒化タングステン膜 14 の端部は、窒化シリコン膜 13 にオーバーラップしている。

【0107】窒化タングステン膜 14 は、金属材料 (例えば、Cu) 12 の拡散防止膜として機能すると共に、格子状の第 1 電極上に配置されることによりキャパシタ面積を増加させる機能を有する。窒化タングステン膜 14 上には、キャパシタ絶縁膜 (例えば、Ta<sub>2</sub>O<sub>5</sub>) 15 が形成される。

【0108】キャパシタ絶縁膜 15 上には、窒化タングステン膜 (WN) 16 が形成される。窒化タングステン膜 16 は、後述する MIM キャパシタの第 2 電極としての金属材料 (例えば、Cu) の拡散防止膜として機能すると共に、後述する格子状の第 2 電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0109】窒化タングステン膜 16 上には、窒化シリコン膜 (SiN) 17 が形成される。窒化シリコン膜 17 は、窒化シリコン膜 13 と共に、エッチング時 (即ち、トレンチ形成時) のストッパとして機能する (詳細については、製造方法の説明で述べる。)

【0110】窒化シリコン膜 13、17 上には、酸化シリコン膜 (SiO<sub>2</sub>) 18 が形成され、酸化シリコン膜 18 上には、窒化シリコン膜 19 が形成される。窒化シリコン膜 19 は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜 19 上には、酸化シリコン膜 (SiO<sub>2</sub>) 20 が形成され、酸化シリコン膜 20 上には、窒化シリコン膜 21 が形成される。窒化シリコン膜 21 は、CMP (Chemical Mechanical Polishing) プロセスにおけるストッパとして機能する。

【0111】酸化シリコン膜 20 内 (窒化シリコン膜 19 よりも上の部分) には、例えば、格子状トレンチや、配線・パッド部のためのトレンチなどが形成される。ま

た、酸化シリコン膜 18 及び窒化シリコン膜 13 には、窒化タングステン膜 16 や金属材料 (例えば Cu) 12 まで達するヴィアホールとしてのトレンチが形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 22A、22B、例えば、Cu (銅) が満たされる。トレンチ内に満たされた金属材料 22A は、MIM キャパシタの第 2 電極となる。

【0112】MIM キャパシタの第 2 電極の形状としては、例えば、図 27 に示すような形状とすることができ。但し、MIM キャパシタの第 2 電極に関しては、ダマシンプロセス (CMP プロセス) におけるディッシング現象を防止できれば、どのような形状であってもよい。

【0113】以上のような構造によれば、まず、MIM キャパシタの第 1 及び第 2 電極がそれぞれ格子状、すのこ状 (又は梯子状)、櫛状などのディッシング現象が発生し難い形状となっている。

【0114】また、MIM キャパシタの第 1 及び第 2 電極が大きな拡散係数を有する金属材料 (例えば、Cu) から構成される場合に、第 1 電極に接触する板状の拡散防止膜 (例えば、窒化タングステン膜 14) と第 2 電極に接触する板状の拡散防止膜 (例えば、窒化タングステン膜 16) を設けている。これら拡散防止膜は、MIM キャパシタのキャパシタ面積を増加させる機能も有する。

【0115】そして、キャパシタ絶縁膜 (例えば、Ta<sub>2</sub>O<sub>5</sub>) 15 は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料 (例えば、Cu) に直接接触することがない。

【0116】従って、MIM キャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能な MIM キャパシタを提供できる。

【0117】次に、図 21 の MIM キャパシタの製造方法について説明する。

【0118】まず、図 22 に示すように、ダマシンプロセスにより、半導体基板 11 内に MIM キャパシタの第 1 電極を形成する。

【0119】例えば、PEP (Photo Engraving Process) 及び RIE (Reactive Ion Etching) を用いて、半導体基板 11 内に格子状のトレンチを形成する。また、CVD 法を用いて、格子状のトレンチを完全に満たす金属材料 (例えば、Cu) 12 を形成する。この後、CMP 法を用いて、金属材料 12 を研磨し、この金属材料 12 を格子状のトレンチ内のみに残存させれば、MIM キャパシタの第 1 電極が完成する。

【0120】なお、トレンチ (第 1 電極) の形状は、格子状 (図 3)、すのこ状 (図 5)、櫛状 (図 6 及び図 7) などに設定される。

【0121】この後、CVD 法を用いて、半導体基板 1

1 上に、MIM キャパシタの第 1 電極を覆う窒化シリコン膜（拡散防止絶縁膜）13 を形成する。

【0122】次に、図 23 に示すように、PEP 及び RIE を用いて、キャパシタ形成予定領域内に存在する窒化シリコン膜 13 を除去する。

【0123】次に、図 24 に示すように、スパッタ法を用いて、拡散防止膜（バリアメタル）としての窒化タングステン膜（WN）14 を、窒化シリコン膜 13 上及びキャパシタ形成予定領域上に形成する。また、スパッタ法を用いて、窒化タングステン膜 14 上に、キャパシタ絶縁膜（例えば、 $Ta_2O_5$ ）15 を形成する。続けて、スパッタ法を用いて、キャパシタ絶縁膜 15 上に、拡散防止膜（バリアメタル）としての窒化タングステン膜 16 を形成する。

【0124】また、CVD 法を用いて、窒化タングステン膜 16 上に、窒化シリコン膜 17 を形成する。この後、PEP 及び RIE を用いて、窒化シリコン膜 17、窒化タングステン膜 16、キャパシタ絶縁膜 15 及び窒化タングステン膜 14 を順次エッチングする。このエッチングは、少なくともキャパシタ形成予定領域に、窒化タングステン膜 14、キャパシタ絶縁膜 15、窒化タングステン膜 16 及び窒化シリコン膜 17 が残存するように行われる。

【0125】次に、図 26 に示すように、CVD 法を用いて、窒化シリコン膜 13、17 上に、酸化シリコン膜（層間絶縁膜）18 を形成する。続けて、CVD 法を用いて、酸化シリコン膜 18 上に、エッチングストップとしての窒化シリコン膜 19 を形成する。また、CVD 法を用いて、窒化シリコン膜 19 上に、酸化シリコン膜（配線間絶縁膜）20 を形成する。続けて、CVD 法を用いて、酸化シリコン膜 20 上に、CMP のストップとしての窒化シリコン膜 21 を形成する。

【0126】この後、デュアルダマシンプロセスにより、MIM キャパシタの第 2 電極を形成する。

【0127】例えば、まず、PEP 及び RIE を用いて、窒化シリコン膜 21 及び酸化シリコン膜 20 に、配線溝としてのトレンチを形成する。酸化シリコン膜 20 のエッチング時、窒化シリコン膜 19 は、RIE のエッチングストップとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、格子状のレイアウトを有する。

【0128】さらに、続けて、PEP 及び RIE を用いて、窒化シリコン膜 19 及び酸化シリコン膜 18 に、ビアホール（via hole）としてのトレンチを形成する。酸化シリコン膜 18 のエッチング時、窒化シリコン膜 13、17 は、RIE のエッチングストップとして機能する。

【0129】なお、キャパシタ電極部におけるトレンチの形状は、格子状に限られず、例えば、図 13 に示すように、すのこ状（又は梯子状）であってもよく、また、

図 14 及び図 15 に示すように、櫛状であってもよい。

【0130】また、トレンチ底部の窒化シリコン膜 13、17 をエッチングし、金属材料 12 の一部及び窒化タングステン膜 16 の一部を剥き出しにする。

【0131】この後、メッキ法により、トレンチを完全に満たす金属材料（例えば、Cu）22A、22B を形成する。なお、金属材料 22A、22B を形成する前に、トレンチ内面に、Ta<sub>2</sub>N などのバリアメタルを形成しておいてもよい。

【0132】そして、CMP 法を用いて、金属材料 22A、22B を研磨し、金属材料 22A、22B をトレンチ内に残存させる。この時、窒化シリコン膜 21 は、CMP のストップとして機能する。

【0133】以上の工程により、図 1 及び図 2 の MIM キャパシタが完成する。

【0134】このような製造方法によれば、ダマシンプロセス（CMP プロセス）を採用し、かつ、Cu（銅）のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、第一に、金属材料（キャパシタ電極）の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、第二に、キャパシタ絶縁膜を直接挟み込む拡散防止膜を設けることで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。第三に、拡散防止膜を、キャパシタ電極として機能させることにより、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくならない（配線ルールによらず、キャパシタ容量を大きくできる）。第四に、窒化タングステン膜 14 を、窒化シリコン膜 17、窒化タングステン膜 16 及びキャパシタ絶縁膜 15 と共に、RIE により加工しているため、製造工程が簡略化される。第五に、キャパシタのパターニング時に、金属材料（例えば、Cu）が露出することがないので、金属原子による汚染をなくすることができる。

【0135】図 28 は、本発明の第 4 実施の形態に関わる MIM キャパシタの断面図を示している。

【0136】本例のデバイス構造は、図 21 の例と比べると、窒化タングステン膜 14、キャパシタ絶縁膜 15、窒化タングステン膜 16 及び窒化シリコン膜 17 が、それぞれ窒化シリコン膜 13 の溝内に収まっている点にある。

【0137】以下、具体的なデバイス構造について説明する。

【0138】半導体基板（例えば、シリコン基板）11 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 12、例えば、Cu（銅）が満たされる。半導体基板 11 内のトレンチ内に満たされた金属材料 12 は、MIM キャパシタの第 1 電極となる。

【0139】MIM キャパシタの第 1 電極の形状として

ば、例えば、格子状、すのこ状（又は梯子状）、櫛状などに設定される。

【0140】半導体基板11上には、MIMキャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN）13が形成される。このキャパシタ形成予定領域は、窒化シリコン膜13の壁に取り囲まれた溝となっている。キャパシタ形成予定領域には、窒化タングステン膜（WN）14が形成される。窒化タングステン膜14は、キャパシタ形成予定領域内に完全に収まっている。

【0141】窒化タングステン膜14は、金属材料（例えば、Cu）12の拡散防止膜として機能すると共に、格子状の第1電極上に配置されることによりキャパシタ面積を増加させる機能を有する。窒化タングステン膜14上には、キャパシタ絶縁膜（例えば、Ta<sub>2</sub>O<sub>5</sub>）15が形成される。

【0142】キャパシタ絶縁膜15上には、窒化タングステン膜（WN）16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0143】窒化タングステン膜16上には、窒化シリコン膜（SiN）17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時（即ち、トレンチ形成時）のストップとして機能する（詳細については、製造方法の説明で述べる。）。

【0144】なお、窒化タングステン膜14、16及びキャパシタ絶縁膜15は、同じパターンを有している。

【0145】窒化シリコン膜13、17上には、酸化シリコン膜（SiO<sub>2</sub>）18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストップとして機能する。窒化シリコン膜19上には、酸化シリコン膜（SiO<sub>2</sub>）20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP（Chemical Mechanical Polishing）プロセスにおけるストップとして機能する。

【0146】酸化シリコン膜20内（窒化シリコン膜19よりも上の部分）には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜18及び窒化シリコン膜13には、窒化タングステン膜16や金属材料（例えばCu）12まで達するヴィアホールとしてのトレンチが形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A、22B、例えば、Cu（銅）が満たされる。トレンチ内に満たされた金属材料22Aは、MIMキャパシタの第2電極となる。

【0147】以上のような構造によれば、まず、MIMキャパシタの第1及び第2電極がそれぞれ格子状、すの

こ状（又は梯子状）、櫛状などのディッシング現象が発生し難い形状となっている。

【0148】また、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料（例えば、Cu）から構成される場合に、第1電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜14）と第2電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜16）を設けている。これら拡散防止膜は、MIMキャパシタのキャパシタ面積を増加させる機能も有する。

【0149】そして、キャパシタ絶縁膜（例えば、Ta<sub>2</sub>O<sub>5</sub>）15は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料（例えば、Cu）に直接接触することがない。

【0150】従って、MIMキャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0151】次に、図28のMIMキャパシタの製造方法について説明する。

【0152】まず、図29に示すように、ダマシンプロセスにより、半導体基板11内にMIMキャパシタの第1電極を形成する。

【0153】例えば、PEP（Photo Engraving Process）及びRIE（Reactive Ion Etching）を用いて、半導体基板11内に格子状のトレンチを形成する。また、CVD法を用いて、格子状のトレンチを完全に満たす金属材料（例えば、Cu）12を形成する。この後、CMP法を用いて、金属材料12を研磨し、この金属材料12を格子状のトレンチ内のみに残存させれば、MIMキャパシタの第1電極が完成する。

【0154】なお、トレンチ（第1電極）の形状は、格子状（図3）、すのこ状（図5）、櫛状（図6及び図7）などに設定される。

【0155】この後、CVD法を用いて、半導体基板11上に、MIMキャパシタの第1電極を覆う窒化シリコン膜（拡散防止絶縁膜）13を形成する。

【0156】次に、図30に示すように、PEP及びRIEを用いて、キャパシタ形成予定領域内に存在する窒化シリコン膜13を除去する。

【0157】次に、図31に示すように、スパッタ法を用いて、拡散防止膜（バリアメタル）としての窒化タングステン膜（WN）14を、窒化シリコン膜13上及びキャパシタ形成予定領域上に形成する。また、スパッタ法を用いて、窒化タングステン膜14上に、キャパシタ絶縁膜（例えば、Ta<sub>2</sub>O<sub>5</sub>）15を形成する。続けて、スパッタ法を用いて、キャパシタ絶縁膜15上に、拡散防止膜（バリアメタル）としての窒化タングステン膜16を形成する。また、CVD法を用いて、窒化タングステン膜16上に、窒化シリコン膜（拡散防止絶縁

膜) 17を形成する。

【0158】次に、図32に示すように、PEP及びRIEを用いて、窒化シリコン膜17、窒化タングステン膜16、キャパシタ絶縁膜15及び窒化タングステン膜14を順次エッチングする。このエッチングは、キャパシタ形成予定領域内に、窒化タングステン膜14、キャパシタ絶縁膜15、窒化タングステン膜16及び窒化シリコン膜17が残存するように行われる。

【0159】本例では、窒化タングステン膜14、キャパシタ絶縁膜15、窒化タングステン膜16及び窒化シリコン膜17は、キャパシタ形成予定領域内、即ち、窒化シリコン膜13の溝内に完全に収まっている。

【0160】次に、図33に示すように、CVD法を用いて、窒化シリコン膜13、17上に、酸化シリコン膜(層間絶縁膜)18を形成する。続けて、CVD法を用いて、酸化シリコン膜18上に、エッチングストップとしての窒化シリコン膜19を形成する。また、CVD法を用いて、窒化シリコン膜19上に、酸化シリコン膜(配線間絶縁膜)20を形成する。続けて、CVD法を用いて、酸化シリコン膜20上に、CMPのストップとしての窒化シリコン膜21を形成する。

【0161】この後、デュアルダマシンプロセスにより、MIMキャパシタの第2電極を形成する。

【0162】例えば、まず、PEP及びRIEを用いて、窒化シリコン膜21及び酸化シリコン膜20に、配線溝としてのトレンチを形成する。酸化シリコン膜20のエッチング時、窒化シリコン膜19は、RIEのエッチングストップとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、格子状のレイアウトを有する。

【0163】さらに、続けて、PEP及びRIEを用いて、窒化シリコン膜19及び酸化シリコン膜18に、ビアホール(via hole)としてのトレンチを形成する。酸化シリコン膜18のエッチング時、窒化シリコン膜13、17は、RIEのエッチングストップとして機能する。

【0164】なお、キャパシタ電極部におけるトレンチの形状は、格子状に限られず、例えば、図13に示すように、すのこ状(又は梯子状)であってもよく、また、図14及び図15に示すように、櫛状であってもよい。

【0165】また、トレンチ底部の窒化シリコン膜13、17をエッチングし、金属材料12の一部及び窒化タングステン膜16の一部を剥き出しにする。

【0166】この後、メッキ法により、トレンチを完全に満たす金属材料(例えば、Cu)22A、22Bを形成する。なお、金属材料22A、22Bを形成する前に、トレンチ内面に、Ta<sub>2</sub>Nなどのバリアメタルを形成しておいてもよい。

【0167】そして、CMP法を用いて、金属材料22A、22Bを研磨し、金属材料22A、22Bをトレン

チ内に残存させる。この時、窒化シリコン膜21は、CMPのストップとして機能する。

【0168】以上の工程により、図28のMIMキャパシタが完成する。

【0169】このような製造方法によれば、ダマシンプロセス(CMPプロセス)を採用し、かつ、Cu(銅)のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、第一に、金属材料(キャパシタ電極)の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、第二に、キャパシタ絶縁膜を直接挟み込む拡散防止膜を設けることで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。第三に、拡散防止膜を、キャパシタ電極として機能させることにより、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくならない(配線ルールによらず、キャパシタ容量を大きくできる)。第四に、窒化タングステン膜14を、窒化シリコン膜17、窒化タングステン膜16及びキャパシタ絶縁膜15と共に、RIEにより加工しているため、製造工程が簡略化される。

【0170】図34は、本発明の第5実施の形態に関わるMIMキャパシタの断面図を示している。

【0171】本例のデバイス構造は、上述してきた第1-第4実施の形態とは異なり、拡散防止膜を用いることなく、キャパシタ絶縁膜自体に拡散防止機能を持たせる点に特徴を有する。

【0172】以下、具体的なデバイス構造について説明する。

【0173】半導体基板(例えば、シリコン基板)11内には、トレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料12、例えば、Cu(銅)が満たされる。半導体基板11内のトレンチ内に満たされた金属材料12は、MIMキャパシタの第1電極となる。

【0174】キャパシタ形成予定領域に形成された金属材料12の形状は、板状になっており、その他の領域に形成された金属材料は、例えば、格子状、すのこ状(又は梯子状)、櫛状などに設定される。

【0175】半導体基板11上には、キャパシタ絶縁膜15が形成される。本例では、キャパシタ絶縁膜15は、金属原子(例えば、Cu)の拡散防止機能を有する材料から構成される。また、後述する層間絶縁膜(窒化シリコン膜17、酸化シリコン膜18、20など)に対してエッチング選択比を有する材料から構成される。

【0176】キャパシタ絶縁膜15上には、窒化シリコン膜(SiN)17が形成される。窒化シリコン膜17は、エッチング時(即ち、トレンチ形成時)のストップとして機能する(詳細については、製造方法の説明で述べる。)

【0177】窒化シリコン膜17上には、酸化シリコン

膜 ( $\text{SiO}_2$ ) 18 が形成され、酸化シリコン膜 18 上には、窒化シリコン膜 19 が形成される。窒化シリコン膜 19 は、デュアルダマシンプロセスにおける溝形成時のストップとして機能する。窒化シリコン膜 19 上には、酸化シリコン膜 ( $\text{SiO}_2$ ) 20 が形成され、酸化シリコン膜 20 上には、窒化シリコン膜 21 が形成される。窒化シリコン膜 21 は、CMP (Chemical Mechanical Polishing) プロセスにおけるストップとして機能する。

【0178】酸化シリコン膜 20 内 (窒化シリコン膜 19 よりも上の部分) には、配線溝としてのトレンチが形成される。また、酸化シリコン膜 18 及び窒化シリコン膜 17 には、キャパシタ絶縁膜 15 や金属材料 (例えば Cu) 12 まで達するヴィアホールとしてのトレンチが形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 22A, 22B、例えば、Cu (銅) が満たされる。トレンチ内に満たされた金属材料のうち、キャパシタ形成予定領域内の MIM キャパシタの第 2 電極となる金属材料 22A の形状は、板状となっている。

【0179】以上のような構造によれば、MIM キャパシタの第 1 及び第 2 電極が大きな拡散係数を有する金属材料 (例えば、Cu) から構成される場合でも、キャパシタ絶縁膜 15 自体が拡散防止機能を有するため、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能な MIM キャパシタを提供できる。

【0180】次に、図 34 の MIM キャパシタの製造方法について説明する。

【0181】まず、図 35 及び図 36 に示すように、ダマシンプロセスにより、半導体基板 11 内に MIM キャパシタの第 1 電極を形成する。

【0182】例えば、PEP (Photo Engraving Process) 及び RIE (Reactive Ion Etching) を用いて、半導体基板 11 内にトレンチを形成する。また、CVD 法を用いて、トレンチを完全に満たす金属材料 (例えば、Cu) 12 を形成する。この後、CMP 法を用いて、金属材料 12 を研磨し、この金属材料 12 をトレンチ内のみに残存させれば、MIM キャパシタの第 1 電極が完成する。

【0183】この後、スパッタ法を用いて、半導体基板 11 上に、MIM キャパシタのキャパシタ絶縁膜 15 を形成する。また、CVD 法を用いて、キャパシタ絶縁膜 15 上に、窒化シリコン膜 17 を形成する。

【0184】次に、図 37 に示すように、CVD 法を用いて、窒化シリコン膜 17 上に、酸化シリコン膜 (層間絶縁膜) 18 を形成する。

【0185】次に、図 38 に示すように、CVD 法を用いて、酸化シリコン膜 18 上に、エッチングストップとしての窒化シリコン膜 19 を形成する。CVD 法を用いて、窒化シリコン膜 19 上に、酸化シリコン膜 (配線間

絶縁膜) 20 を形成する。続けて、CVD 法を用いて、酸化シリコン膜 20 上に、CMP のストップとしての窒化シリコン膜 21 を形成する。

【0186】そして、この後、デュアルダマシンプロセスにより、MIM キャパシタの第 2 電極を形成する。

【0187】例えば、まず、PEP 及び RIE を用いて、窒化シリコン膜 21 及び酸化シリコン膜 20 に、配線溝としてのトレンチを形成する。酸化シリコン膜 20 のエッチング時、窒化シリコン膜 19 は、RIE のエッチングストップとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、板状となる。

【0188】さらに、続けて、PEP 及び RIE を用いて、窒化シリコン膜 19 及び酸化シリコン膜 18 に、ヴィアホール (via hole) としてのトレンチを形成する。酸化シリコン膜 18 のエッチング時、窒化シリコン膜 17 は、RIE のエッチングストップとして機能する。

【0189】また、トレンチ底部の窒化シリコン膜 17 をエッチングし、キャパシタ絶縁膜 15 を露出させる。さらに、トレンチ底部に露出したキャパシタ絶縁膜 15 のうち、キャパシタ形成予定領域のキャパシタ絶縁膜 15 を残し、その他の部分のキャパシタ絶縁膜 15 を選択的に除去する。

【0190】その結果、キャパシタ形成予定領域では、キャパシタ絶縁膜 15 が露出し、その他の領域では、金属材料 12 の一部が剥き出しになる。

【0191】この後、メッキ法により、トレンチを完全に満たす金属材料 (例えば、Cu) 22A, 22B を形成する。なお、金属材料 22A, 22B を形成する前に、トレンチ内面に、Ta-N などのバリアメタルを形成しておいてもよい。

【0192】次に、図 39 に示すように、CMP 法を用いて、金属材料 22A, 22B を研磨し、金属材料 22A, 22B をトレンチ内に残存させる。この時、窒化シリコン膜 21 は、CMP のストップとして機能する。なお、MIM キャパシタの第 2 電極の形状の一例としては、例えば図 40 に示すようなものが考えられる。

【0193】以上の工程により、図 34 の MIM キャパシタが完成する。

【0194】このような製造方法によれば、ダマシンプロセス (CMP プロセス) と Cu (銅) のような大きな拡散係数を有する金属材料を用いる場合に、キャパシタ絶縁膜 15 自体が拡散防止機能を有しているため、キャパシタ絶縁膜 15 の汚染 (リーク電流) を有効に防止できる。また、キャパシタ形成予定領域では、電極が板状になっているため、キャパシタ面積の増大 (大きなキャパシタ容量) を確保できる。また、キャパシタ形成予定領域以外の領域では、電極が格子状、すのこ状、櫛状などになっているため、ディッシング現象を防止できる。さらに、キャパシタ絶縁膜 15 を、酸化シリコン膜や窒

化シリコン膜に対してエッチング選択比を有するものから構成することで、製造工程が簡略化される。

【0195】図41は、本発明の第6実施の形態に関わるMIMキャパシタの断面図を示している。

【0196】本例は、RF-アナログデバイスとCMOSロジックデバイスを1チップ内に混載したRF-CMOSデバイスに関する。

【0197】本例に関わるのデバイスは、RF-アナログエリア内のMIMキャパシタに使用する拡散防止膜を、CMOSロジックエリア内の素子（又はその一部）として用いる点に特徴を有する。

【0198】半導体基板11内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料12、例えば、Cu（銅）が満たされる。半導体基板11内のトレンチ内に満たされた金属材料12は、MIMキャパシタの第1電極となる。

【0199】半導体基板11上には、MIMキャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN）13が形成される。MIMキャパシタのキャパシタ形成予定領域は、窒化シリコン膜13の壁に取り囲まれた溝となっている。

【0200】そして、キャパシタ形成予定領域には、窒化タングステン膜（WN）14が形成される。窒化タングステン膜14は、金属材料（例えば、Cu）12の拡散防止膜として機能すると共に、格子状の第1電極上に配置されることによりキャパシタ面積を増加させる機能を有する。

【0201】また、本例では、CMOSロジック領域において、窒化タングステン膜14Aを用いて抵抗素子を形成している。窒化タングステン膜14Aは、例えば、窒化タングステン膜14と同時に形成され、窒化タングステン膜14の厚さと同じ厚さを有している。

【0202】つまり、拡散防止膜として機能する窒化タングステン膜14を形成するステップを、CMOSロジック領域内の抵抗素子（窒化タングステン膜14A）を形成するステップと併用することができる。その結果、本発明に係わるデバイスを製造するに当たって、従来に比べて、ステップ数の増加が実質的になくなり、製造コストの増加を防ぐことができる。

【0203】なお、本例では、窒化タングステン膜14Aと窒化タングステン膜14が同時に形成され、同じ厚さを有しているが、例えば、窒化タングステン膜14Aは、窒化タングステン膜14、16の積層から構成されるようにしてもよい。

【0204】窒化タングステン膜14上には、キャパシタ絶縁膜（例えば、 $Ta_2O_5$ ）15が形成される。キャパシタ絶縁膜15上には、窒化タングステン膜（WN）16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料

（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0205】窒化タングステン膜16上には、窒化シリコン膜（SiN）17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時（即ち、トレンチ形成時）のストップとして機能する。

【0206】窒化シリコン膜13、17上には、酸化シリコン膜（ $SiO_2$ ）18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストップとして機能する。窒化シリコン膜19上には、酸化シリコン膜（ $SiO_2$ ）20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP（Chemical Mechanical Polishing）プロセスにおけるストップとして機能する。

【0207】酸化シリコン膜20内（窒化シリコン膜19よりも上の部分）には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜18及び窒化シリコン膜13には、窒化タングステン膜14A、16や金属材料（例えばCu）12まで達するトレンチ（ビアホール（via hole））が形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A、22B、22C、22D、例えば、Cu（銅）が満たされる。

【0208】トレンチ内に満たされた金属材料22Aは、MIMキャパシタの第2電極となる。また、CMOSロジック領域内においてトレンチ内に満たされた金属材料22C、22Dは、抵抗素子（窒化タングステン膜）14Aの電極となる。

【0209】なお、本例では、MIMキャパシタの第1及び第2電極のレイアウトを格子状としているが、これは、ダマシンプロセス（CMPプロセス）においてディッシング現象を防止するためである。よって、ディッシング現象を防止できる構造であれば、トレンチの形状は、格子状に限られず、例えば、すのこ状（又は梯子状）、櫛状などであってもよい。

【0210】以上のようなデバイス構造によれば、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料（例えば、Cu）から構成される場合に、第1電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜14）と第2電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜16）を設けている。これら拡散防止膜は、MIMキャパシタのキャパシタ面積を増加させる機能も有する。

【0211】そして、キャパシタ絶縁膜（例えば、 $Ta_2O_5$ ）15は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料（例えば、Cu）に直接接触することがない。



【0212】従って、MIMキャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0213】また、本例では、RF—アナログエリア内のMIMキャパシタに使用する拡散防止膜14、16の少なくとも1つを、CMOSロジックエリア内の素子（本例では、抵抗素子）として使用している。このため、拡散防止膜として機能する窒化タングステン膜14、16を形成するステップを、CMOSロジック領域内の素子（本例では、抵抗素子）を形成するステップと併用することができる。その結果、製造ステップ数の増加なく、本発明に係わるデバイスを製造することができ、製造コストの増加を抑えることができる。

【0214】図42は、本発明の第7実施の形態に関わるMIMキャパシタの平面図を示している。図43は、図42のX L I I I—X L I I I線に沿う断面図である。

【0215】本例のMIMキャパシタは、上述の第1実施の形態のMIMキャパシタ変形例である。本例のMIMキャパシタが上述の第1実施の形態のMIMキャパシタと異なる点は、MIMキャパシタの第1電極（第1電極12）が、半導体基板11内ではなく、半導体基板11上の絶縁膜（例えば、層間絶縁膜）23内に形成されている点にある。

【0216】このように、MIMキャパシタを、半導体基板11上の絶縁膜23上に形成することにより、例えば、絶縁膜23の直下には、MIMキャパシタ以外の素子（例えば、MOSトランジスタなど）を形成することができる。つまり、1チップ内に、素子を3次元的に配置することで、1チップ内に、素子を高密度に配置することができる。

【0217】図44は、本発明の第8実施の形態に関わるMIMキャパシタの断面図を示している。

【0218】本例は、上述の第7実施の形態に関わるMIMキャパシタの応用例である。

【0219】本例に関わるのデバイスの特徴は、MIMキャパシタの第1電極が層間絶縁膜内に形成され、かつ、その層間絶縁膜の直下には、MOSトランジスタが形成される点にある。

【0220】半導体基板11の表面領域には、MOSトランジスタのソース／ドレイン領域24が形成される。ソース／ドレイン領域24の間のチャンネル領域上には、ゲート絶縁膜25を介してゲート電極26が形成される。MOSトランジスタ上には、MOSトランジスタを完全に覆う絶縁膜27が形成される。

【0221】絶縁膜27上には、エッチングストップとしての窒化シリコン膜28が形成される。窒化シリコン膜28上には、層間絶縁膜23が形成される。層間絶縁膜23上には、マスク材又はエッチングストップとして

の窒化シリコン膜13が形成される。

【0222】層間絶縁膜23内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料12、例えば、Cu（銅）が満たされる。層間絶縁膜23内のトレンチ内に満たされた金属材料12は、MIMキャパシタの第1電極となる。

【0223】また、層間絶縁膜23内には、例えば、配線のためのトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料29、例えば、Cu（銅）が満たされる。

【0224】層間絶縁膜23上には、MIMキャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN）13が形成される。MIMキャパシタのキャパシタ形成予定領域は、窒化シリコン膜13の壁に取り囲まれた溝となっている。

【0225】そして、キャパシタ形成予定領域には、窒化タングステン膜（WN）14が形成される。窒化タングステン膜14は、金属材料（例えば、Cu）12の拡散防止膜として機能すると共に、格子状の第1電極上に配置されることによりキャパシタ面積を増加させる機能を有する。

【0226】窒化タングステン膜14上には、キャパシタ絶縁膜（例えば、Ta<sub>2</sub>O<sub>5</sub>）15が形成される。キャパシタ絶縁膜15上には、窒化タングステン膜（WN）16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0227】窒化タングステン膜16上には、窒化シリコン膜（SiN）17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時（即ち、トレンチ形成時）のストップとして機能する。

【0228】窒化シリコン膜13、17上には、酸化シリコン膜（SiO<sub>2</sub>）18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストップとして機能する。窒化シリコン膜19上には、酸化シリコン膜（SiO<sub>2</sub>）20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP（Chemical Mechanical Polishing）プロセスにおけるストップとして機能する。

【0229】酸化シリコン膜20内（窒化シリコン膜19よりも上の部分）には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜18及び窒化シリコン膜13には、窒化タングステン膜16や金属材料（例えばCu）12まで達するトレンチ（ヴィアホール（via hole））が形成さ

れる。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A、22B、例えば、Cu

(銅)が満たされる。トレンチ内に満たされた金属材料22Aは、MIMキャパシタの第2電極となる。

【0230】以上のようなデバイス構造によれば、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料から構成される場合に、第1電極に接触する板状の拡散防止膜と第2電極に接触する板状の拡散防止膜を設けている。このため、MIMキャパシタの電極を構成する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0231】また、本例では、MIMキャパシタの直下には、MOSトランジスタを形成している。このように、MIMキャパシタを半導体基板11上の層間絶縁膜上に形成し、かつ、この層間絶縁膜の直下には、MIMキャパシタ以外の素子(例えば、MOSトランジスタなど)を形成すれば、1チップ内に、素子を3次元的に配置することができ、素子の高密度化に貢献できる。

【0232】また、層間絶縁膜23内には、MIMキャパシタの電極に加えて、通常の配線が形成される。即ち、MIMキャパシタの電極及び通常の配線は、共に、同一の金属材料(例えば、Cu)から構成される。従って、本発明は、多層配線構造を有するデバイスに最適である。

【0233】ところで、本例では、MIMキャパシタとMOSトランジスタが非常に近接して配置される。従って、MIMキャパシタの電極に与えられる信号とMOSトランジスタのゲート電極に与えられる信号が互いに干渉し合わないようにするための対策が必要である。

【0234】例えば、MIMキャパシタの電極に与えられる信号の周波数とMOSトランジスタのゲート電極に与えられる信号の周波数との差が50倍未満である、という条件を満たせば、両信号が互いに干渉し合わなくなるため、本例のデバイス構造は、非常に有効なものとなる。

【0235】一方、MIMキャパシタの電極に与えられる信号の周波数とMOSトランジスタのゲート電極に与えられる信号の周波数との差が50倍以上である場合には、両信号は、互いに干渉し合うようになるため、本例のデバイス構造を改良する必要がある。

【0236】図45は、本発明の第9実施の形態に関わるMIMキャパシタの断面図を示している。

【0237】本例は、上述の第8実施の形態に関わるMIMキャパシタの改良例であり、MIMキャパシタの電極に与えられる信号の周波数とMOSトランジスタのゲート電極に与えられる信号の周波数との差が50倍以上である場合においても、両信号が互いに干渉し合わないようなデバイス構造を有するものである。

【0238】本例に関わるのデバイスの特徴を簡単に述

べると、互いに上下方向に隣接して配置されるMIMキャパシタとMOSトランジスタの間に、シールド線を設けた点にある。シールド線は、一定電位(例えば、接地電位)に固定されているため、MIMキャパシタの電極に与えられる信号とMOSトランジスタのゲート電極に与えられる信号が互いに干渉し合わなくなるものである。

【0239】以下、具体的なデバイス構造について説明する。

【0240】半導体基板11の表面領域には、上述の第8実施の形態のデバイスと同様に、MOSトランジスタが形成される。MOSトランジスタ上には、MOSトランジスタを完全に覆う絶縁膜27が形成される。絶縁膜27上には、絶縁膜31及び窒化シリコン膜32が形成される。

【0241】絶縁膜31に設けられるトレンチ内には、シールド線30Aが形成される。同様に、絶縁膜31に設けられるトレンチ内には、通常の配線(信号線、電源線など)30Bも形成される。

【0242】シールド線30A及び通常の配線30B上には、層間絶縁膜33が形成される。層間絶縁膜33上には、エッチングストップとしての窒化シリコン膜28が形成される。窒化シリコン膜28上には、層間絶縁膜23が形成される。層間絶縁膜23上には、マスク材又はエッチングストップとしての窒化シリコン膜13が形成される。

【0243】層間絶縁膜23内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料12、例えば、Cu(銅)が満たされる。層間絶縁膜23内のトレンチ内に満たされた金属材料12は、MIMキャパシタの第1電極となる。

【0244】また、層間絶縁膜23内には、例えば、通常の配線のためのトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料29、例えば、Cu(銅)が満たされる。

【0245】層間絶縁膜23上には、MIMキャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜(SiN)13が形成される。MIMキャパシタのキャパシタ形成予定領域は、窒化シリコン膜13の壁に取り囲まれた溝となっている。

【0246】そして、キャパシタ形成予定領域には、窒化タングステン膜(WN)14が形成される。窒化タングステン膜14は、金属材料(例えば、Cu)12の拡散防止膜として機能すると共に、格子状の第1電極上に配置されることによりキャパシタ面積を増加させる機能を有する。

【0247】窒化タングステン膜14上には、キャパシタ絶縁膜(例えば、Ta<sub>2</sub>O<sub>5</sub>)15が形成される。キャパシタ絶縁膜15上には、窒化タングステン膜(W

N) 16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料(例えば、Cu)の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0248】窒化タングステン膜16上には、窒化シリコン膜(SiN)17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時(即ち、トレンチ形成時)のストッパとして機能する。

【0249】窒化シリコン膜13、17上には、酸化シリコン膜(SiO<sub>2</sub>)18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜19上には、酸化シリコン膜(SiO<sub>2</sub>)20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP(Chemical Mechanical Polishing)プロセスにおけるストッパとして機能する。

【0250】酸化シリコン膜20内(窒化シリコン膜19よりも上の部分)には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜18及び窒化シリコン膜13には、窒化タングステン膜16や金属材料(例えばCu)12まで達するトレンチ(ビアホール(via hole))が形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A、22B、例えば、Cu

(銅)が満たされる。トレンチ内に満たされた金属材料22Aは、MIMキャパシタの第2電極となる。

【0251】以上のようなデバイス構造によれば、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料から構成される場合に、第1電極に接触する板状の拡散防止膜と第2電極に接触する板状の拡散防止膜を設けている。このため、MIMキャパシタの電極を構成する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0252】また、本例では、MIMキャパシタの直下には、MOSトランジスタを形成している。このように、MIMキャパシタを半導体基板11上の層間絶縁膜上に形成し、かつ、この層間絶縁膜の直下には、MIMキャパシタ以外の素子(例えば、MOSトランジスタなど)を形成すれば、1チップ内に、素子を3次元的に配置することができ、素子の高密度化に貢献できる。

【0253】また、層間絶縁膜23内には、MIMキャパシタの電極に加えて、通常の配線が形成される。即ち、MIMキャパシタの電極及び通常の配線は、共に、同一の金属材料(例えば、Cu)から構成される。従って、本発明は、多層配線構造を有するデバイスに最適である。

【0254】さらに、本例では、MIMキャパシタとMOSトランジスタの間には、シールド線が配置される。シールド線は、一定電位(例えば、接地電位)に固定されているため、MIMキャパシタの電極に与えられる信号とMOSトランジスタのゲート電極に与えられる信号とが互いに干渉し合うことがない。

【0255】従って、本例によれば、MIMキャパシタの電極に与えられる信号の周波数とMOSトランジスタのゲート電極に与えられる信号の周波数との差が50倍以上であっても、正常動作が可能である。

#### 【0256】

【発明の効果】以上、説明したように、本発明によれば、ダマシンプロセス(CMPプロセス)を採用し、かつ、Cu(銅)のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、金属材料(キャパシタ電極)の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、キャパシタ絶縁膜を直接挟み込む拡散防止膜を設けるか又はキャパシタ絶縁膜自体に拡散防止機能を持たせることで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。また、拡散防止膜を、キャパシタ電極として機能させれば、例えば、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくならない(配線ルールによらず、キャパシタ容量を大きくできる)。また、キャパシタのパターニング時に、金属材料(例えば、Cu)が露出することがないので、金属原子による汚染をなくすことができる。また、キャパシタ構造が平坦であり、高信頼性を得るのに有利である。

#### 【図面の簡単な説明】

【図1】本発明の第1実施の形態であるMIMキャパシタを示す平面図。

【図2】図1のI-I線に沿う断面図。

【図3】図1及び図2のデバイスの製造方法の一工程を示す平面図。

【図4】図3のIV-IV線に沿う断面図。

【図5】キャパシタの第1電極のレイアウトの例を示す平面図。

【図6】キャパシタの第1電極のレイアウトの例を示す平面図。

【図7】キャパシタの第1電極のレイアウトの例を示す平面図。

【図8】図1及び図2のデバイスの製造方法の一工程を示す平面図。

【図9】図8のIX-IX線に沿う断面図。

【図10】図1及び図2のデバイスの製造方法の一工程を示す平面図。

【図11】図1及び図2のデバイスの製造方法の一工程を示す平面図。

【図12】図11のXI-XI線に沿う断面図。

【図 13】キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 14】キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 15】キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 16】本発明の第 2 実施の形態である MIM キャパシタを示す断面図。

【図 17】図 16 のデバイスの製造方法の一工程を示す断面図。

【図 18】図 16 のデバイスの製造方法の一工程を示す断面図。

【図 19】図 16 のデバイスの製造方法の一工程を示す断面図。

【図 20】図 16 のデバイスの製造方法の一工程を示す断面図。

【図 21】本発明の第 3 実施の形態である MIM キャパシタを示す断面図。

【図 22】図 21 のデバイスの製造方法の一工程を示す断面図。

【図 23】図 21 のデバイスの製造方法の一工程を示す断面図。

【図 24】図 21 のデバイスの製造方法の一工程を示す断面図。

【図 25】図 21 のデバイスの製造方法の一工程を示す断面図。

【図 26】図 21 のデバイスの製造方法の一工程を示す断面図。

【図 27】キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 28】本発明の第 4 実施の形態である MIM キャパシタを示す断面図。

【図 29】図 28 のデバイスの製造方法の一工程を示す断面図。

【図 30】図 28 のデバイスの製造方法の一工程を示す断面図。

【図 31】図 28 のデバイスの製造方法の一工程を示す

断面図。

【図 32】図 28 のデバイスの製造方法の一工程を示す断面図。

【図 33】図 28 のデバイスの製造方法の一工程を示す断面図。

【図 34】本発明の第 5 実施の形態である MIM キャパシタを示す断面図。

【図 35】図 34 のデバイスの製造方法の一工程を示す平面図。

【図 36】図 35 の XXXVI-XXXVI 線に沿う断面図。

【図 37】図 34 のデバイスの製造方法の一工程を示す断面図。

【図 38】図 34 のデバイスの製造方法の一工程を示す断面図。

【図 39】図 34 のデバイスの製造方法の一工程を示す断面図。

【図 40】キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 41】本発明の第 6 実施の形態である MIM キャパシタを示す断面図。

【図 42】本発明の第 7 実施の形態である MIM キャパシタを示す平面図。

【図 43】図 42 の XLIII-XLIII 線に沿う断面図。

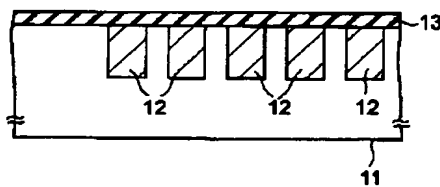
【図 44】本発明の第 8 実施の形態である MIM キャパシタを示す断面図。

【図 45】本発明の第 9 実施の形態である MIM キャパシタを示す断面図。

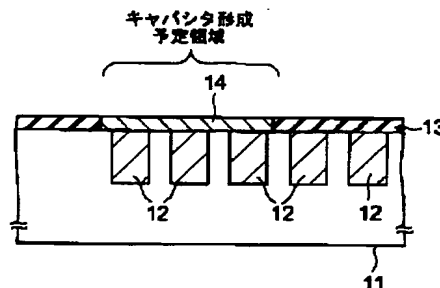
# 【符号の説明】

11 : 半導体基板、12, 22A, 22B : 金属材料（例えば、Cu）、13, 17, 19, 21 : 窒化シリコン膜、14, 16 : 窒化タングステン膜（拡散防止膜）、15 : キャパシタ絶縁膜、18, 20 : 酸化シリコン膜（層間絶縁膜）。

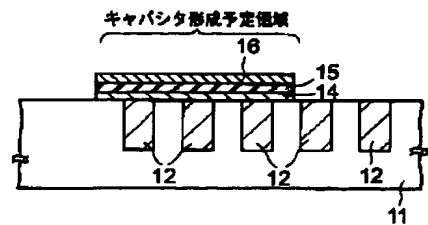
【図 4】



【図 9】

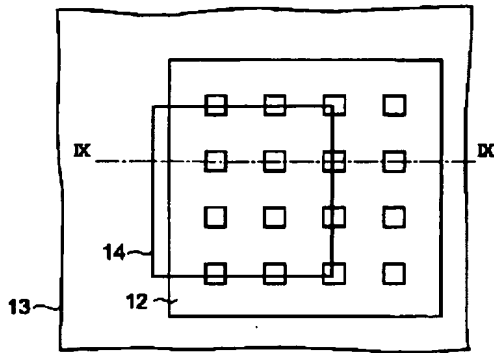


【図 18】

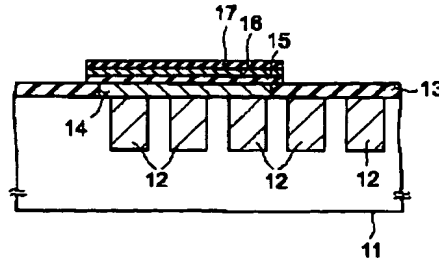




【図 8】

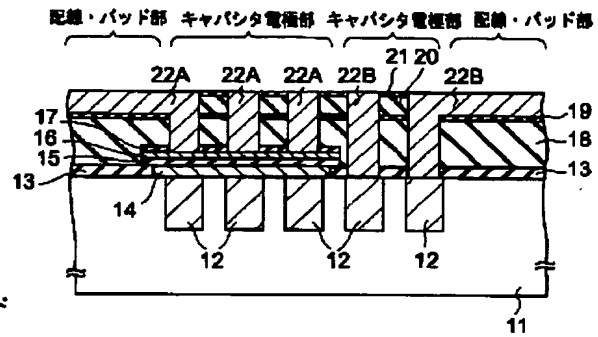
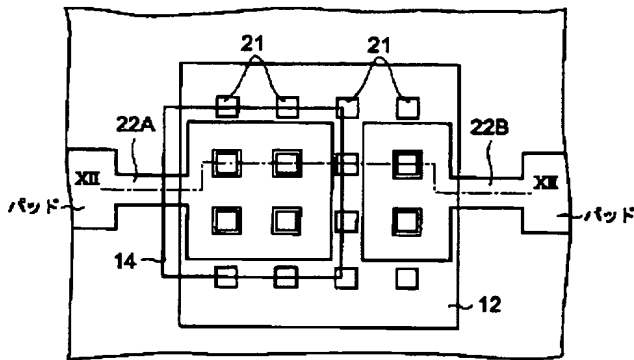


【図 10】



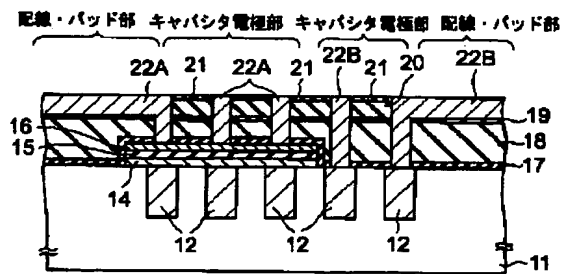
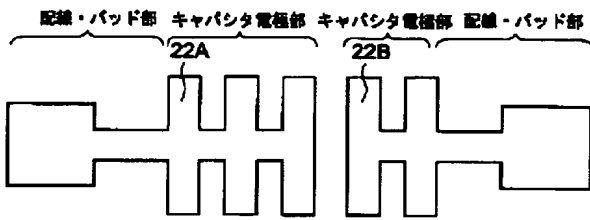
【図 12】

【図 11】



【図 15】

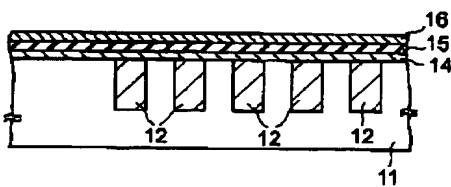
【図 16】



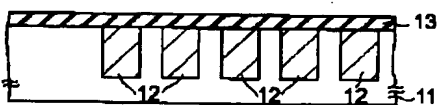
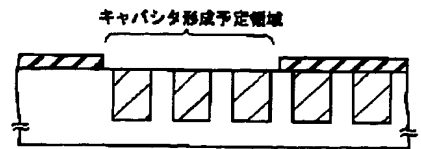
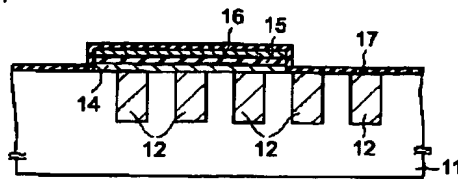
【図 17】

【図 19】

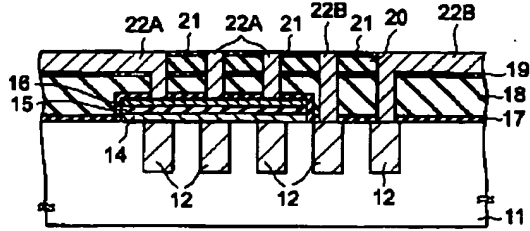
【図 23】



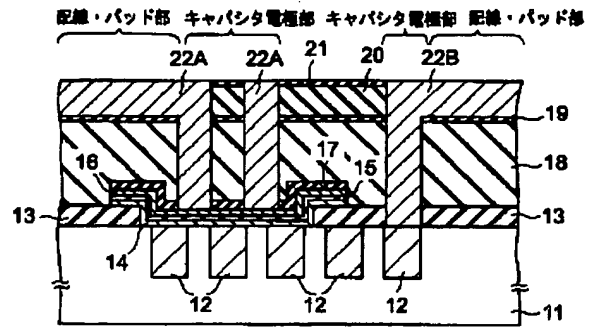
【図 22】



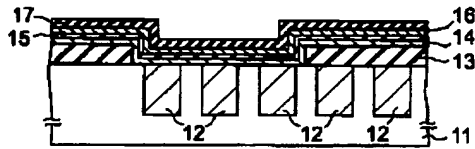
【図 20】



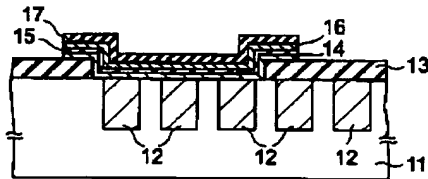
【図 21】



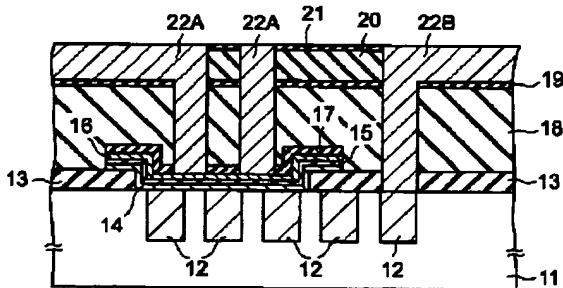
【図 24】



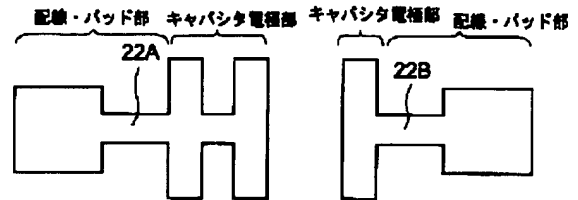
【図 25】



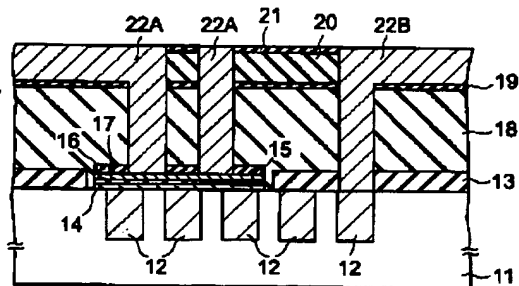
【図 26】



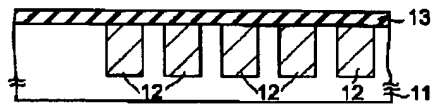
【図 27】



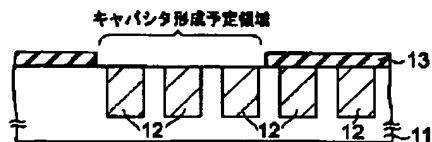
【図 28】



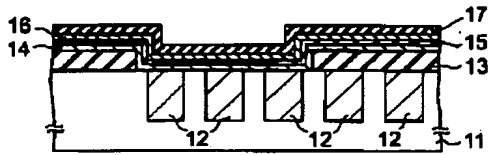
【図 29】



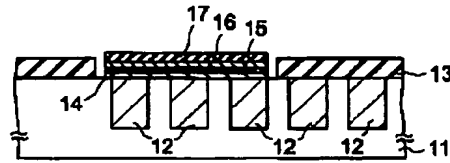
【図 30】



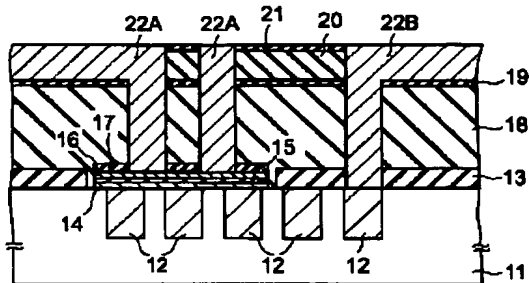
【図 3 1】



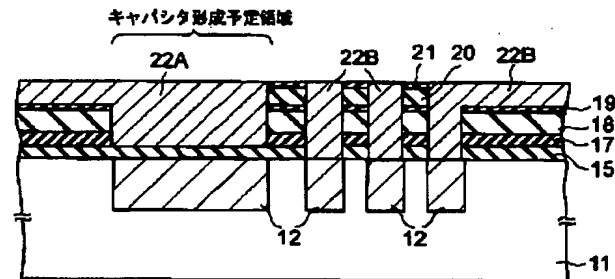
【図 3 2】



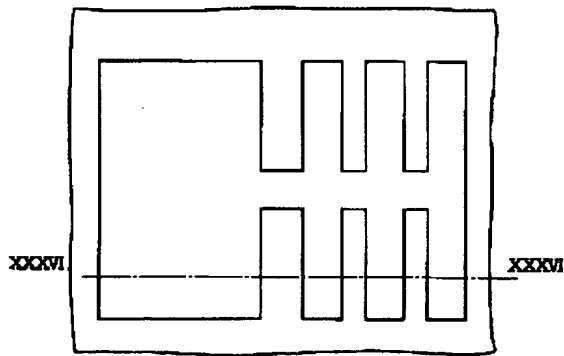
【図 3 3】



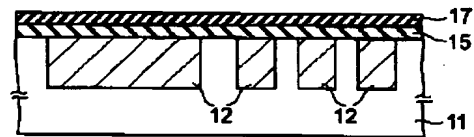
【図 3 4】



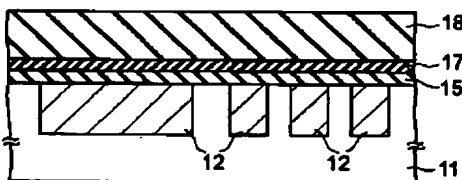
【図 3 5】



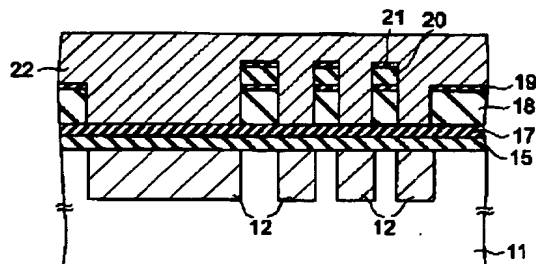
【図 3 6】



【図 3 7】

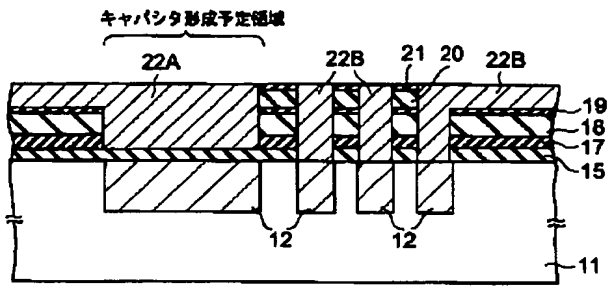


【図 3 8】

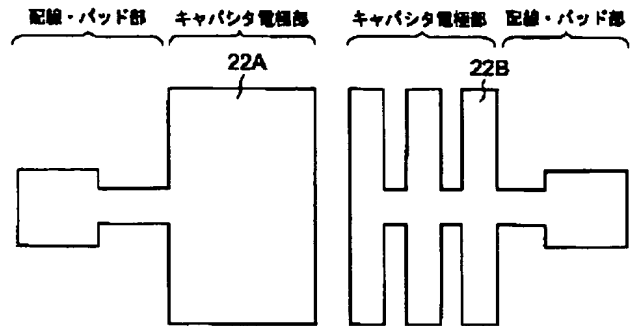




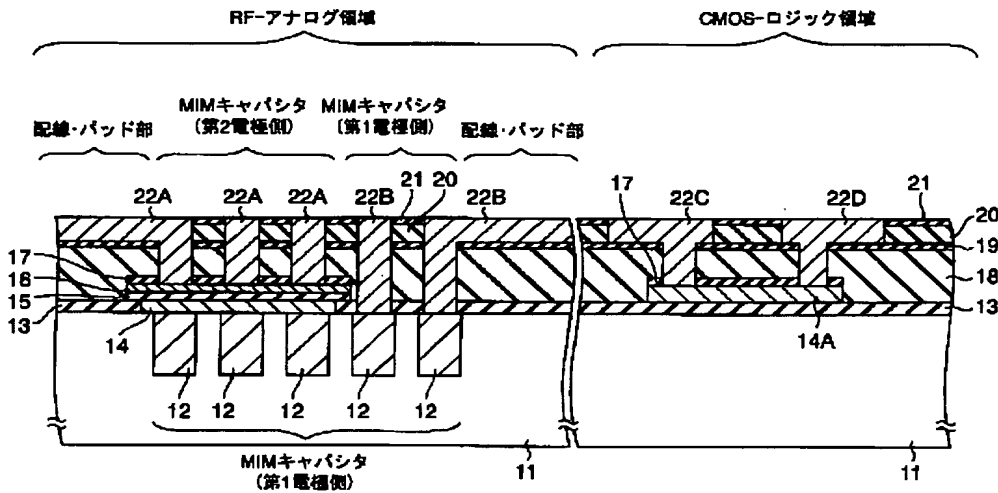
【図39】



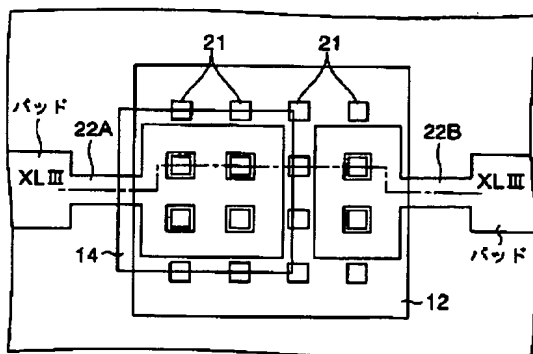
【図40】



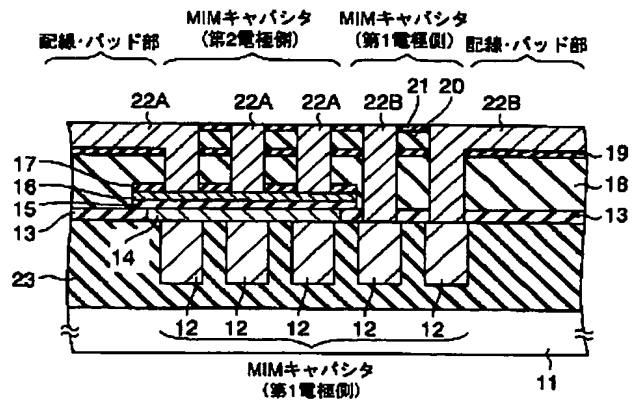
【図41】



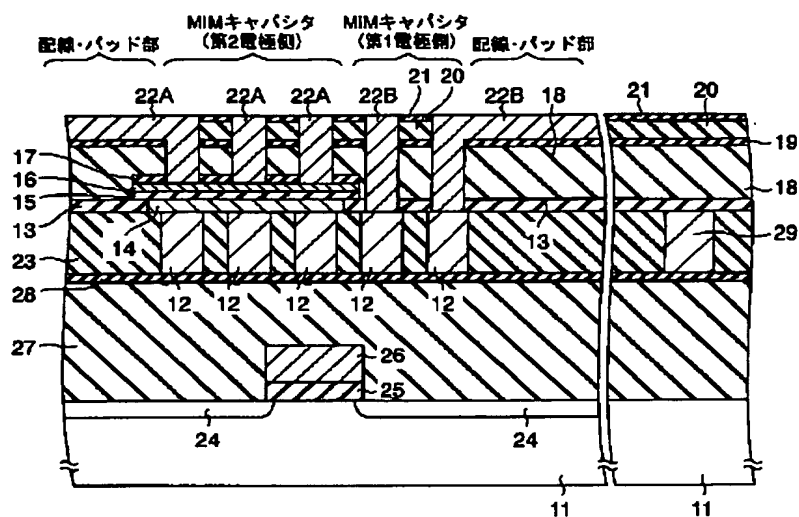
【図42】



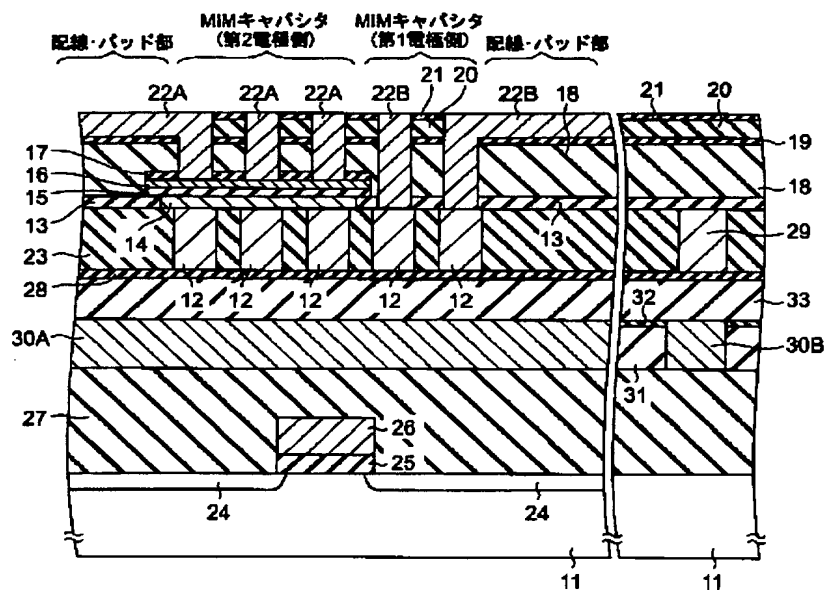
【図43】



【図 4 4】



【図 4 5】



フロントページの続き

(72)発明者 君島 秀樹  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内  
(72)発明者 大黒 達也  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72)発明者 蓮見 良治  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内  
(72)発明者 山口 崇  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

F ターム(参考) 5F038 AC04 AC05 AC07 AC10 AC15  
BH10 BH20 EZ20